



DIPLOMARBEIT

Verfahren zur selbstjustierten Kontaktierung von epitaktisch gewachsenen Nanowires für Vertikaltransistoren

ausgeführt zur Erlangung des akademischen Grades eines
Diplom - Ingenieurs

unter der Leitung von
O. Univ. Prof. Dr. Emmerich Bertagnolli
Institut für Festkörperelektronik

eingereicht an der Technischen Universität Wien
Fakultät für Elektrotechnik

von
Bernd Dielacher
Mat. Nr. 0126326
Klopsteinplatz 3/36
1030 Wien

Wien, 29. November 2007

.....
Unterschrift des Studenten

Eidesstattliche Erklärung

Ich erkläre an Eides statt, dass ich die vorliegende Diplomarbeit selbstständig und ohne fremde Hilfe verfasst, andere als die angegebenen Quellen nicht benützt und die, den benutzten Quellen wörtlich oder inhaltlich, entnommenen Stellen als solche kenntlich gemacht habe.

Wien, 29. November 2007

.....
Bernd Dielacher

Kurzfassung

Diese Diplomarbeit behandelt die Herstellung eines vertikalen Nanowire-Bauelements, dessen Architektur für den Einsatz als Transistor geeignet ist. Im Vordergrund stehen die Entwicklung eines selbstjustierenden Verfahrens und die Ausnützung der Selbstkontaktierung der Nanowires während des Wachstums.

Nach einer kurzen Einleitung folgt die Erarbeitung theoretischer Grundlagen. Dazu gehört die Beschreibung des Vapor-Liquid-Solid-Mechanismus und des epitaktischen Nanowire-Wachstums auf unterschiedlich orientierten Si-Substraten, sowie ein Abschnitt über Positionierung, Kontaktierung und elektrische Eigenschaften von Nanowires. Aufbauend auf aktuellen Architekturen wird das Konzept des vertikalen Nanowire-Bauelements vorgestellt. Es folgt ein Abschnitt über verwendete Prozesstechnologien. Dieser beinhaltet neben einer Darstellung des Masken- und Probandesigns, Ausführungen zur Abscheidung des Wachstums-Katalysators, die Positionierung von Au-Kolloiden mittels Dielektrophorese, sowie die Nanowire-Synthese in der CVD-Anlage und die ALD-Abscheidung von Aluminiumoxid.

Im letzten Teil der Arbeit wird der gesamte Prozessablauf des vertikalen Nanowire-Bauelements dargestellt. Dabei werden zwei unterschiedliche Verfahren zur Abscheidung des Katalysators gezeigt. Es folgen Untersuchungen zur Keimbildungsphase der Nanowires, sowie eine Beschreibung des Wachstumsprozesses und die Präsentation des fertigen Bauelements. Die Ergebnisse der elektrischen Charakterisierung unterstreichen schließlich die, im Vergleich zu herkömmlichen Metall-Nanowire-Kontakten, um eine Zehnerpotenz verbesserten Kontakteigenschaften des Bauelements.

Abstract

In the context of this diploma thesis the fabrication of a vertical nanowire-component is shown, whose architecture is suitable for the use as transistor. The primary object is the development of an self-aligned process and the use of self-connecting nanowires.

The description of the theoretical principles is followed by a short introduction. This includes the Vapor-Liquid-Solid-growth mechanism, epitaxial nanowire-growth on different orientated Si-substrates and a section about positioning, connecting and electrical properties of nanowires. Constitutive on actual architectures the concept of the vertical nanowire-component is presented. The following section describes the used process technologies. This includes the illustration of the mask- and sample-design, a description of the growth-catalyst deposition, the positioning of Au-colloids through dielectrophoresis, the nanowire-synthesis via CVD and the ALD-deposition of aluminium oxide.

The last chapter presents the whole development-process of the vertical nanowire-component. Two different methods concerning the catalyst deposition are presented. This is followed by examinations about the nucleation phase of nanowires, by a description of nanowire growth and a presentation of the complete component. The results of electrical characterization highlight the excellent electrical contacts in comparison to traditionally formed metal-nanowire-contacts.

Inhaltsverzeichnis

1	Einleitung	3
2	Theoretische Grundlagen	6
2.1	Silizium Nanowires	6
2.1.1	Das Phasendiagramm Gold-Silizium	6
2.1.2	Der Vapor-Liquid-Solid (VLS) - Mechanismus	7
2.1.3	Epitaktisches Wachstum	10
2.1.4	Orientierung von Nanowires	11
2.2	Integration von Nanowires in Bauelemente	15
2.2.1	Positionierung und Kontaktierung von Nanowires	15
2.2.2	Elektrische Eigenschaften	18
2.2.3	Architekturen aktueller Nanowire-Transistoren	20
3	Das vertikale Nanowire-Bauelement	22
4	Prozesstechnologien	25
4.1	SOI Wafer als Ausgangsmaterial	25
4.2	Probenpräparation und Reinigung	26
4.3	Das Maskendesign	27
4.3.1	Die Cantilever Maske	27
4.3.2	Die Oxid Maske	28
4.3.3	Das Probendesign	29
4.3.4	Strukturbelichtung an der Probenkante	30
4.4	Die Herstellung der Nanokatalysatoren	32
4.4.1	Verdampfen und Sputtern der Katalysatoren	33
4.4.2	Kolloide als Wachstumskeime	34

4.5	Lift-Off mit HF	35
4.6	Dielektrophorese	39
4.7	Nanowire CVD	40
4.8	ALD-Beschichtung mit Aluminiumoxid	42
5	Herstellung des Bauelementes und Charakterisierung	44
5.1	Cantilever-Struktur als Basiselement	44
5.2	Abscheidung des Au-Katalysators in einem selbstjustierten Ver- fahren	49
5.2.1	Strukturierte Oxidmaske mit Au-Film	50
5.2.2	Dielektrophorese mit Au-Kolloiden	52
5.3	Kontrolliertes Wachstum der Nanowires	54
5.3.1	AFM-Untersuchungen zur Keimbildungsphase	55
5.3.2	Nanowire Wachstum	57
5.3.3	Nanowire Wachstum am Bauelement	61
5.4	Elektrische Charakterisierung	62
5.4.1	Der Metall-Halbleiter-Kontakt	63
5.4.2	Der Messaufbau	64
5.4.3	Strom-Spannungs-Messungen	65
5.4.4	Einfluss der Aluminiumoxid-Beschichtung	68
6	Zusammenfassung und Ausblick	70
	Literaturverzeichnis	73

Kapitel 1

Einleitung

Seit Jahrzehnten schreitet die Miniaturisierung von integrierten Schaltungen kontinuierlich voran. Gordon Moore postulierte schon 1965 in dem, nach ihm benannten Moore'schen Gesetz [1], dass sich die Anzahl der Komponenten auf einem Mikrochip in definierten Zeitabschnitten verdoppelt. Diese These gilt heute als längst bewiesen und steht als Synonym für den rasanten technologischen Fortschritt in unserer Zeit. Lagen in den 80er Jahren die minimalen Strukturgrößen noch im Mikrometerbereich, so befindet man sich heute (2007) im Bereich von 65 nm in der Fertigung und 10 nm in der Forschung.

Ein Voranschreiten dieser Miniaturisierung und die Entwicklung von neuen innovativen Konzepten sind Voraussetzung für einen wirtschaftlichen Erfolg der Halbleiterindustrie. Allerdings stößt man mit der stetigen Verkleinerung der Bauelemente zusehends in einen Bereich vor, in dem die klassische Physik ihre Gültigkeit verliert und die Funktionalität der integrierten Schaltkreise nicht mehr gewährleistet werden kann. Ein typisches Beispiel stellt der Leckstrom bei Transistoren mit ultradünnen Gate-Oxiden dar. Der traditionellen *Top-Down* Strukturierung - einer Kombination aus Fotolithografie, Dünnschichttechnik und Ätzverfahren - scheinen ebenfalls technologische Grenzen gesetzt. Um die Miniaturisierung auch weiterhin voranzutreiben, bedarf es daher der Entwicklung völlig neuer Technologien.

Nanotechnologie ist das Schlagwort unserer Zeit und wird immer mehr zur treibenden Kraft in der Entwicklung neuer Produkte. Auch die Halbleiterindustrie verspricht sich davon neue Lösungsansätze für die Entwicklung zukünftiger Chip-Generationen. Ein Kernkonzept der Nanotechnologie ist die *Bottom-Up* Strategie, bei der immer komplexere Strukturen gezielt aus atomaren bzw. molekularen Bausteinen aufgebaut werden.

Vielversprechende Vertreter solcher Bausteine sind Nanowires, eindimensionale Strukturen mit einem Durchmesser zwischen 100 und einigen wenigen Nanometern und einer Länge, die oft bis in den Mikrometerbereich reicht. Nanowires können auf unterschiedlichste Weise hergestellt werden, die gängigste Methode ist aber das katalytische Wachstum aus Metallpartikeln, bekannt als der Vapor-Liquid-Solid (VLS) Mechanismus [2]. Die Wires können mittlerweile schon aus einer Vielzahl an Materialien synthetisiert werden. Neben Silizium- [2] und Germanium-Nanowires [3] wurden beispielsweise auch schon Nanowires aus den III-V Verbindungshalbleitern InP [4], InAs [5], GaAs [6] oder aus den II-VI Verbindungshalbleitern ZnS und CdS [7] realisiert.

Dank ihrer hervorragenden Eigenschaften haben Nanowires ein großes Potential für den Einsatz in diversen, zukünftigen elektronischen Bauelementen [8, 9]. Zum Beispiel können Nanowires für biologische und chemische Sensoren [10], für Fotodetektoren [11], als lichtemittierende Dioden [12] oder als Laser [13] verwendet werden. Da der Feldeffekt-Transistor (FET) in der heutigen Halbleiterindustrie noch immer das Zugpferd der Entwicklung darstellt, ist die Realisierung eines Nanowire-FETs besonders interessant. Auch hier wurden schon viele Konzepte vorgestellt [14] und die Machbarkeit anhand von einzelnen Prototypen gezeigt. Der Einsatz von Nanowire-FETs in hochintegrierten Schaltungen erfordert einerseits eine sehr gute Reproduzierbarkeit in der Synthese und Anordnung, andererseits neue, innovative Prozesse für eine Integration in Bauelemente und deren elektrische Kontaktierung.

Im Rahmen dieser Diplomarbeit wird ein Verfahren vorgestellt, das Silizium-Nanowires elegant und selbstjustierend in eine Bauelement-Architektur integriert, die für den Einsatz als Feldeffekt-Transistor geeignet ist. Die Integration des Nanowires erfolgt dabei platzsparend in vertikaler Bauweise. Hier-

bei wird ein epitaktisches Nanowire-Wachstum an einer Elektrode initiiert und der Mechanismus der selbstständigen Kontaktierung von Nanowires an der anderen Elektrode ausgenützt. Diese Art der beidseitigen Kontaktierung führt zu hervorragenden Übergängen an den Elektroden und bietet somit die bestmögliche Basis für ein Bauelement. Die Arbeit umfasst neben einem theoretischen Teil und allgemeinen Untersuchungen zum Nanowire-Wachstum, die vollständige Entwicklung des vertikalen Nanowire-Bauelements, sowie die elektrische Charakterisierung.

Kapitel 2

Theoretische Grundlagen

2.1 Silizium Nanowires

2.1.1 Das Phasendiagramm Gold-Silizium

Metallische Nanopartikel sind für das Wachstum von Nanowires nach dem VLS-Mechanismus (Kapitel 2.1.2) von essentieller Bedeutung. Sie dienen in erster Linie durch Bildung einer Legierung als Wachstumskeime und bestimmen viele Eigenschaften, wie beispielsweise den Durchmesser der entstehenden Wires. Für die Synthese von Silizium-Nanowires legt daher das binäre Phasendiagramm von Gold und Silizium die Synthesebedingungen fest (Abbildung 2.1). Es handelt sich dabei um ein eutektisches System mit nahezu vollkommener Unlöslichkeit im festen Zustand. Aus dem Phasendiagramm sind drei stabile Gleichgewichtsphasen erkennbar [15]:

- Eine vollständig mischbare Gold-Silizium-Schmelze (L)
- Eine feste Gold-Phase (Au) mit einer Löslichkeit des Siliziums von weniger als 2 Atomprozent
- Eine feste Silizium-Phase (Si) mit einer geringen Löslichkeit des Goldes von unter $2 \cdot 10^{-4}$ Atomprozent

Die eutektische Temperatur stellt den niedrigsten Schmelzpunkt des Systems dar und liegt bei 363°C. Erreicht wird sie bei einem Siliziumgehalt von 18.6

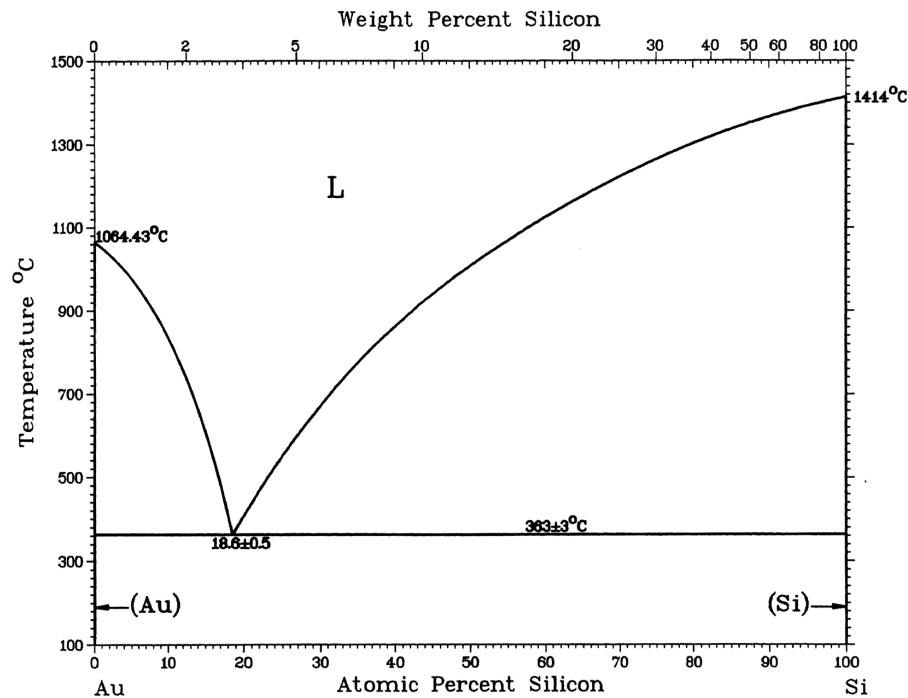


Abbildung 2.1: Binäres Phasendiagramm für Gold-Silizium. [15]

Atomprozent. Am äußerst linken (Au) und rechten (Si) Rand des Diagramms verlaufen die Soliduslinien (mit Pfeil markiert) fast senkrecht. Daher existiert im festen Zustand keine stabile Mischung aus beiden Elementen.

2.1.2 Der Vapor-Liquid-Solid (VLS) - Mechanismus

Der Vapor-Liquid-Solid - Mechanismus ist heute einer der verbreitetsten Methoden, um einkristalline Nanowires herzustellen. Dieser Prozess wurde ursprünglich 1964 von R. S. Wagner und W. C. Ellis entwickelt [2]. Die damaligen Strukturen wurden als „Whiskers“ bezeichnet und ihre Abmessungen waren noch in der Größenordnung von Mikrometern. Voraussetzung für den Wachstumsmechanismus ist, dass auf einem Substrat (z.B. Silizium) geeignete Metallkatalyte vorhanden sind (Abbildung 2.2a). Erhitzt man zum Beispiel Goldpartikel auf einer Siliziumoberfläche über die eutektische Temperatur von 363°C (vgl. Phasendiagramm in Abbildung 2.1), so entsteht durch In-

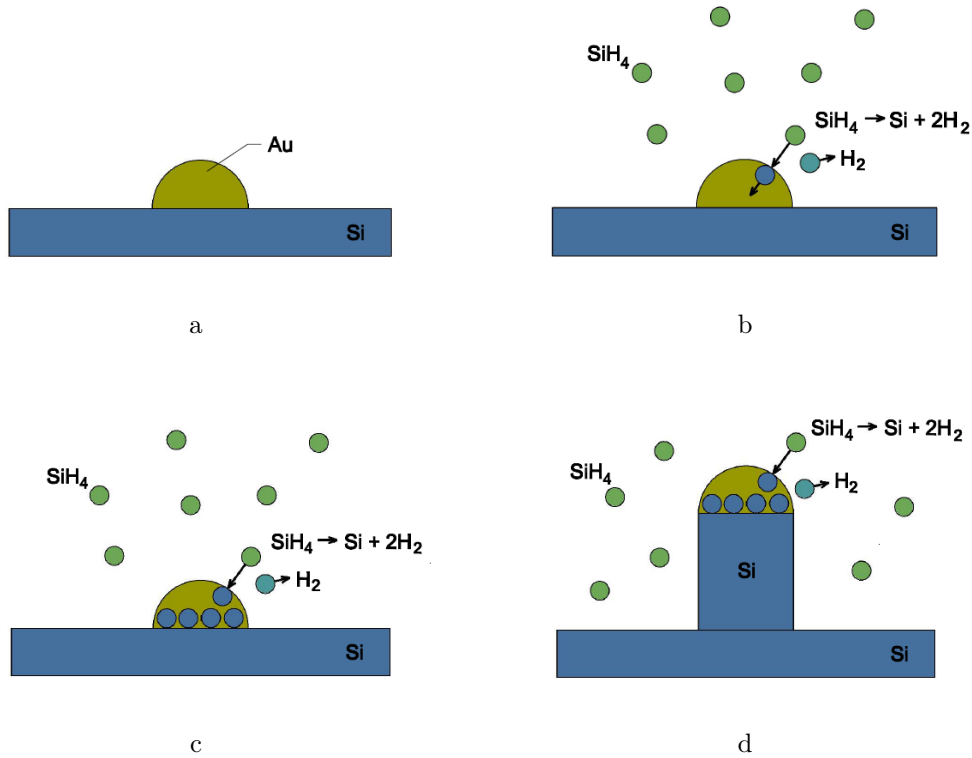


Abbildung 2.2: Schematische Darstellung des VLS-Wachstumsmechanismus. Bild (a) zeigt einen Gold-Tropfen auf einer Siliziumoberfläche. In Bild (b) ist die Abspaltung von Si aus einem Precursor-Gas dargestellt. Durch Eindiffusion entsteht eine Metall-Halbleiter-Legierung. Als nächstes sieht man an der Grenzfläche zum Substrat (c) die beginnende Si-Kristallisation (d).

terdiffusion der beiden Materialien eine flüssige Metall-Halbleiter-Legierung. Zur Bildung der Legierung muss das Silizium nicht zwingend vom Substrat bereitgestellt werden, es kann auch aus der Gasphase zugeführt werden. Um das eigentliche Wachstum zu starten, wird das, für den Aufbau notwendige, Silizium beispielsweise in der Form des Precursor-Gases Silan SiH_4 oder Siliziumtetrachlorid SiCl_4 bereitgestellt. An der Oberfläche der Legierung wird das Silizium aus dem Precursor-Gas abgespalten und diffundiert anschließend durch den flüssigen Au-Si-Legierungstropfen (Abbildung 2.2b) [16]:



Wird der Gasfluss weiter aufrecht erhalten, kommt es zu einer Übersättigung der Legierung (Abbildung 2.2c) und einer Ausfällung des Siliziums an der Grenzfläche von flüssiger und fester Phase (Abbildung 2.2d). Es beginnt das Kristallwachstum und ein Nanowire wächst, solange der Gasfluss und die Temperatur aufrecht erhalten werden.

Der Durchmesser ist im Allgemeinen durch die Größe des Legierungstropfens bestimmt, der während des Wachstums vor der Spitze des Wires hergeschoben wird. Experimentelle Echt-Zeit-Untersuchungen von Germanium Nanowires mit Gold-Katalysatoren zeigten deutlich drei wohldefinierte Wachstumsphasen [17]: (1) Formierung eines Legierungstropfens, (2) Nukleation eines Nanokristalls und (3) Axiales Wachstum.

Die Zufuhr des Basismaterials kann durch verschiedenste Methoden erfolgen. Zusammen mit der Wahl des Katalysators haben sich in der Vergangenheit etliche Verfahren verbreitet. Die gängigste Methode für das Wachstum von Silizium Nanowires ist die Chemical Vapor Deposition (CVD) [2, 18]. Wie schon oben beschrieben, steht das Ausgangsmaterial in Form von Precursor-Molekülen in der Gasphase zur Verfügung. Die Effektivität der CVD-Methode lässt sich speziell bei tieferen Temperaturen durch Plasma erhöhen. Bei der sog. Plasma Enhanced Chemical Vapor Deposition (PECVD) wird das Aufspalten des Precursor-Gases vom Plasma unterstützt und somit kann das Wachstum bei tieferen Temperaturen stattfinden [19]. Die Möglichkeit, bei geringeren Temperaturen zu arbeiten, erhöht vor allem die Kompatibilität mit anderen Prozessen. Weitere Methoden der Nanowire Synthese basieren auf der direkten Verdampfung des Basismaterials durch Elektronenstrahlen (Elektronenstrahlverdampfen) [20] oder durch einen Laser (Laserablation) [21]. Eine gute Gegenüberstellung von CVD, PECVD und thermischer Verdampfung zur Herstellung von Si Nanowires stammt von A. Colli et. al. [22]. Dabei wurden die Effektivität der verschiedenen Methoden, die Kontrollierbarkeit des Wachstums, sowie die elektrischen Eigenschaften der entstandenen Nanowires untersucht.

Nanowires, die nach dem VLS-Mechanismus hergestellt werden, sind in den meisten Fällen einkristallin. Nur wenige Kristalldefekte, wie Stapelfehler

und Versetzungen, stören die Gleichmäßigkeit [23]. Die Wires haben in der Regel eine bevorzugte kristallografische Wachstumsrichtung. Bemerkenswert ist, im Falle von Silizium, die Abhängigkeit dieser Richtung vom Nanowire-Durchmesser. Untersuchungen haben gezeigt, dass Si-Wires mit einer Dicke unter 20 nm vor allem in $\langle 110 \rangle$ und $\langle 112 \rangle$ Richtung wachsen, bei größerem Durchmesser ist die bevorzugte Wachstumsrichtung $\langle 111 \rangle$ [24, 25]. Liegt der Legierungstropfen in der Nukleationsphase direkt auf einem einkristallinen Substrat, so kann man epitaktisches Wachstum erreichen. Dies bedeutet, dass die atomare Ordnung der Trägerschicht auf den entstehenden Nanowire übertragen wird, wodurch dieser nur in bestimmten Winkeln aus der Substratoberfläche wachsen kann. Während des Wachstums knicken die Nanowires des Öfteren ab und setzen ihr Wachstum dann meist in kristallografisch äquivalenter Richtung fort [26].

2.1.3 Epitaktisches Wachstum

Der Begriff Epitaxie stammt aus dem Griechischen und bedeutet soviel wie „geordnetes Aufwachsen“. Die klassische Epitaxie beschäftigt sich beispielsweise mit künstlich hergestellten, kristallinen Strukturen unterschiedlicher Zusammensetzung. Die vorgegebene atomare Ordnung des einkristallinen Substrats wird dabei auf die wachsende Schicht übertragen. Um die Störungen, wie etwa Versetzungen, in der neuen Schicht gering zu halten, müssen die Kristalleigenschaften wie Gitterkonstante und Symmetrie ähnlich sein. Abhängig davon, ob Substrat und Schicht aus gleichem oder unterschiedlichem Material bestehen, spricht man von Homo- bzw. Heteroepitaxie.

Auch bei der Synthese von Nanowires lässt sich Epitaxie erreichen. Das heißt, dass der entstehende Wire unter Verwendung eines geeigneten Substrats die Kristallstruktur fortsetzt. Er besitzt somit eine definierte Richtung, die von seiner eigenen bevorzugten Wachstumsrichtung und der Kristallorientierung des Substrats abhängig ist. Damit es überhaupt zu epitaktischem Nanowire-Wachstum kommt, muss der Katalysator direkten Kontakt zur Substratoberfläche haben. Bereits kleinste Verunreinigungen oder die Bildung einer dünnen Oxidschicht am Substrat können das epitaktische Aufwachsen verhindern.

2.1.4 Orientierung von Nanowires

Die Orientierung der Nanowires lässt sich präzise steuern, wenn man die konventionellen Methoden des epitaktischen Wachstums mit dem VLS-Prozess vereint. Diese Technik wird als Vapor-Liquid-Solid Epitaxy (VLSE) [27] bezeichnet und eignet sich besonders zur kontrollierten Synthese von Nanowire Arrays. Nanowires wachsen in der Regel entlang einer bevorzugten Kristallrichtung (vgl. Kapitel 2.1.2). Indem man die Nanowire-Wachstumsrichtung und die Substrat-Orientierung aufeinander abstimmt, erhält man schließlich die gewünschte Ausrichtung.

Untersucht man das epitaktische Wachstum von Si $\langle 111 \rangle$ Nanowires, so stehen diese praktisch immer in $\langle 111 \rangle$ Richtungen bzw. normal auf die

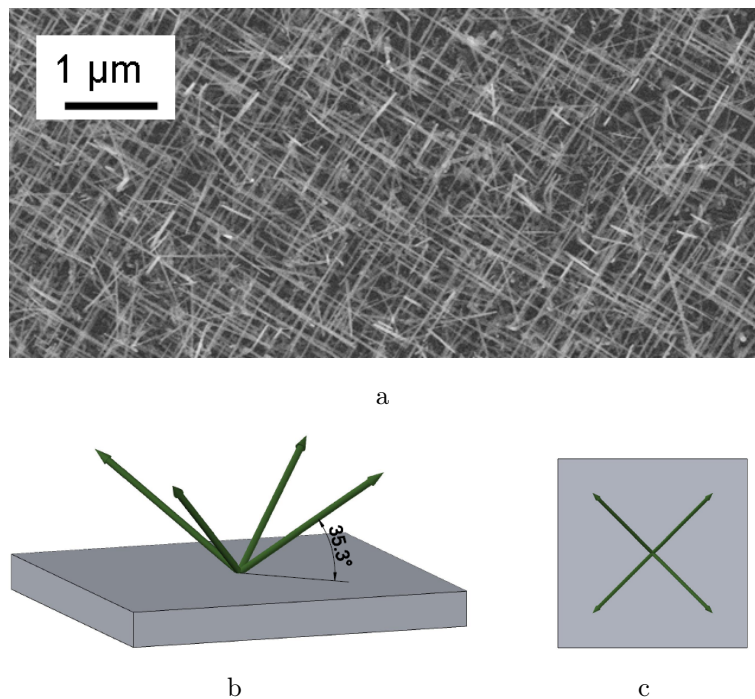


Abbildung 2.3: Epitaktisches Wachstum von Silizium-Nanowires auf einem (100) Si-Substrat. Bild (a) zeigt eine REM-Aufnahme epitaktisch gewachsener Nanowires. Bild (b) stellt eine dreidimensionale Ansicht dar, Bild (c) eine Aufsicht auf die Wachstumsrichtungen.

(111) Ebenen des Substrat-Kristallgitters [28]. Bei einem (100) orientierten Si-Substrat gibt es beispielsweise vier verschiedene $\langle 111 \rangle$ Wachstumsrichtungen, die mit der Oberfläche einen Winkel von 35.3° einschließen (Abbildung 2.3b). Betrachtet man die orthografische Projektion, so stehen diese Richtungen im rechten Winkel zueinander (Abbildung 2.3c). Dies erklärt auch die Ausbildung von rechtwinkligen Netzwerken in der Aufsicht der Rasterelektronenmikroskop (REM)-Aufnahme in Abbildung 2.3a.

Abbildung 2.4 zeigt das selbstorientierte Wachstum von Si $\langle 111 \rangle$ Nanowires auf einem Silizium (110) Substrat. In der Aufsicht (Abbildung 2.4a) scheint es, dass viele Nanowires parallel zueinander stehen. Tatsächlich existieren zwei Wachstumsrichtungen, die zum Substrat einen Winkel von 54.7° auf-

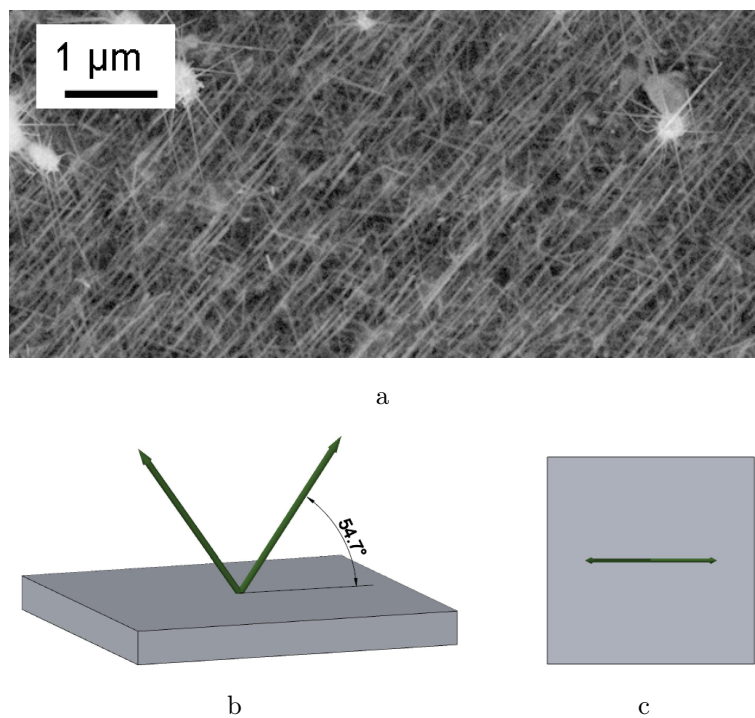


Abbildung 2.4: Epitaktisches Wachstum von Silizium-Nanowires auf einem (110) Si-Substrat. Bild (a) zeigt eine REM-Aufnahme epitaktisch gewachsener Nanowires. Bild (b) stellt eine dreidimensionale Ansicht dar, Bild (c) eine Aufsicht auf die Wachstumsrichtungen.

weisen (Abbildung 2.4b), in der orthografischen Projektion (Abbildung 2.4c) aber parallel liegen.

Das epitaktische Wachstum von Si $\langle 111 \rangle$ Nanowires auf einem Silizium (111) Substrat ist in Abbildung 2.5 dargestellt. Offensichtlich erfolgt hier ein Wachstum normal zur Oberfläche, ersichtlich durch die hellen Punkte in der REM-Aufnahme in Abbildung 2.5a. Es gibt aber noch drei weitere Ausrichtungsmöglichkeiten, wobei jeweils ein Winkel von 19.4° zur Oberfläche eingenommen wird. Abbildung 2.5b fasst alle Richtungen in einer Grafik zusammen. In der Aufsicht bilden die schrägen Nanowires dreieckige Formen, die vertikal gewachsenen Wires sind als Punkte erkennbar (Abbildung 2.5c).

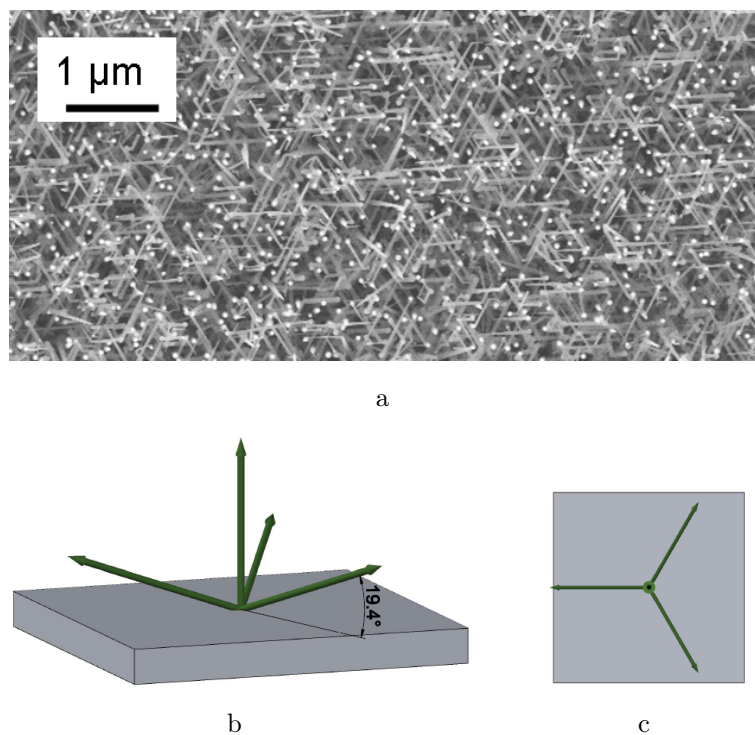


Abbildung 2.5: Epitaktisches Wachstum von Silizium-Nanowires auf einem (111) Si-Substrat. Bild (a) zeigt eine REM-Aufnahme epitaktisch gewachsener Nanowires. Bild (b) stellt eine dreidimensionale Ansicht dar, Bild (c) eine Aufsicht auf die Wachstumsrichtungen.

Die hier beschriebenen Erkenntnisse zum epitaktischen Wachstum auf unterschiedlichen Siliziumsubstraten beziehen sich auf Nanowires, deren Wachstumsrichtung die $\langle 111 \rangle$ Richtung ist. Diese Richtung ist vom Durchmesser abhängig. Ähnliches wurde schon bei nicht epitaktisch gewachsenen Si-Nanowires festgestellt (siehe Kapitel 2.1.2). Epitaktisch gewachsene Wires mit einem Durchmesser von über 40 nm bevorzugen die $\langle 111 \rangle$ Richtung, jene mit einem Durchmesser unter 20 nm die $\langle 110 \rangle$ Richtung [29]. Im Bereich zwischen 20 nm und 40 nm können die Wires auch in die $\langle 112 \rangle$ Richtung orientiert sein. Diese Abhängigkeit wird durch veränderte Grenz- und Oberflächenenergien im Bereich des Übergangs vom Legierungstropfen zum Nanowire erklärt [29]. Die REM-Aufnahme in Abbildung 2.6 zeigt die unterschiedlichen Wachstumsrichtungen für unterschiedliche Nanowire-Durchmesser. Die

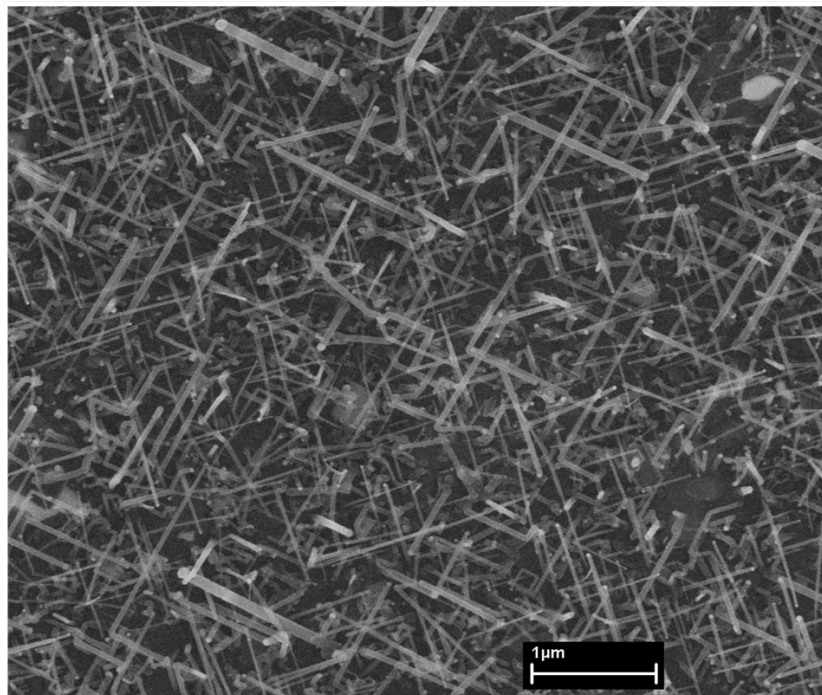


Abbildung 2.6: Die Wachstumsrichtung von epitaktisch gewachsenen Nanowires auf einem Si (100) Substrat hängt vom Durchmesser ab. Dickere Nanowires wachsen in die $\langle 111 \rangle$ Richtungen, Dünnere sind entsprechend der $\langle 110 \rangle$ Wachstumsrichtungen um 45° gedreht.

Nanowires sind hier auf einem Si (100) Substrat gewachsen. Die dickeren Wires stehen in die $\langle 111 \rangle$ Richtungen (vgl. mit Abbildung 2.3), die Dünneren sind entsprechend der $\langle 110 \rangle$ Wachstumsrichtungen auf dem Si (100) Substrat, um 45° gedreht.

2.2 Integration von Nanowires in Bauelemente

Halbleiter-Nanowires haben das Potential für den zukünftigen Einsatz in verschiedensten nanoelektronischen Bauelementen. Dies erfordert nicht nur eine präzise, reproduzierbare Synthese der Wires, sondern auch geschickte Verfahren zur Integration. Gerade das große Aspektverhältnis dieser Objekte verlangt die Entwicklung neuer, Nanowire-spezifischer Prozessschritte, die aber gleichzeitig mit herkömmlichen Technologien verträglich sein müssen. Neben einer genauen Positionierung, ist vor allem die Kontaktierung der Nanowires von großer Bedeutung. Nicht zuletzt ist ein tieferes Verständnis der relevanten physikalischen Eigenschaften der Wires auch für die Herstellung zuverlässiger Bauelemente notwendig.

2.2.1 Positionierung und Kontaktierung von Nanowires

Die am meisten verbreitetste Methode der Nanowire-Kontaktierung ist, sie vom Substrat abzulösen und anschließend auf einem isolierenden Substrat zu deponieren. Passend liegende Wires werden durch Elektronenstrahlolithografie, Abscheidung einer Metall-Schicht und anschließenden Lift-Off-Prozess kontaktiert [30].

Um Nanowires erfolgreich in Bauelemente zu integrieren, müssen jedoch raschere und parallel durchführbare Prozesse entwickelt werden. Eine Möglichkeit, die eben geschilderte Kontaktierung zu organisieren, ist ein vorheriges Ausrichten der Nanowires. Zu diesem Zweck wurden verschiedenste Strategien zur Anordnung entwickelt, beispielsweise mechanische Manipulation der Wires [31], aber auch eine optische Ausrichtung ist möglich [32, 33]. Auch die Ausrichtung mit Hilfe elektrischer Felder wurde erfolgreich durchgeführt

[34, 35, 36, 37]. All diese Verfahren dienen in erster Linie zur Charakterisierung unterschiedlichst hergestellter Nanowires und derer Kontakte. Es gibt aber noch keine Möglichkeit zur direkten Integration in Bauelemente [38].

Ein vielversprechender Ansatz beruht auf dem epitaktischen Wachstum von Nanowires. Der einkristalline Übergang vom Substrat zum Nanowire (siehe Kapitel 2.1.3) bietet einen idealen Kontakt. Die abstehenden Nanowires können in eine Isolierschicht eingepackt und die Oberfläche durch anschließende Planarisierung geglättet werden. Die Enden der Wires können nun durch Aufbringen von Metallpads kontaktiert werden. Die Position der Nanowires kann durch gezielte Anordnung der Metallflächen bestimmt werden. Im Allgemeinen wird dies durch Elektronenstrahlolithografie, Aufbringen des Metalls und anschließenden Lift-Off realisiert.

Die wohl attraktivste Methode, Nanowires elektrisch zu verbinden, basiert auf deren Selbstkontaktierung. Durch geeignete Mikrostrukturen und unter Ausnützung der epitaktischen Eigenschaften können die Nanowires während

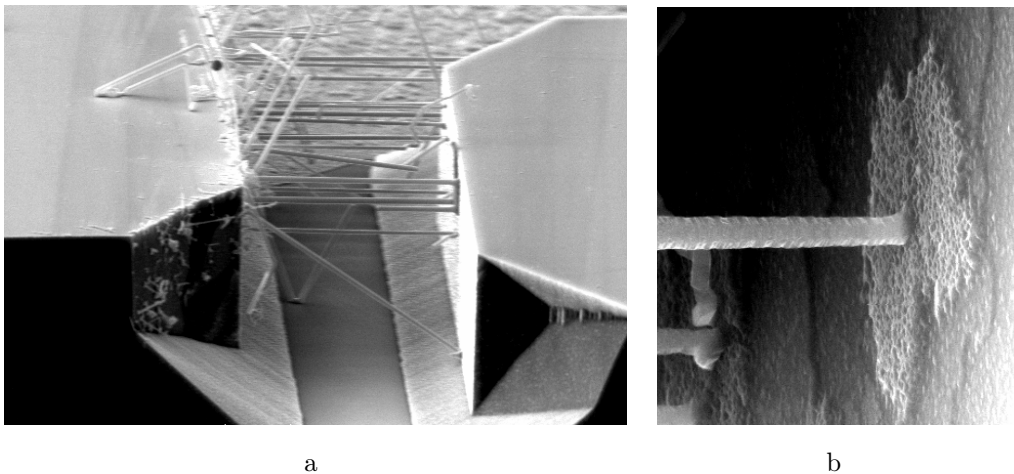


Abbildung 2.7: (a) Selbstkontaktierte Nanowires zwischen zwei Si-Elektroden. Die vertikalen Seitenflächen weisen eine (111) Orientierung auf. (b) Detailaufnahme einer selbstkontaktierten Anschlussstelle an eine (111) Seitenwand. [39]

des Wachstums an eine Silizium-Fläche ankoppeln. Sie bilden dann in der Regel selbstständig eine robuste mechanische und elektrische Verbindung. Die laterale Überbrückung von geätzten Gräben ist ein typisches Beispiel für den Selbstkontaktierungsmechanismus [38, 40, 41]. Silizium Nanowires wachsen vorzugsweise normal auf Si (111) Oberflächen [28], obwohl es insgesamt vier mögliche epitaktische Richtungen (vgl. Kapitel 2.1.4) gibt. In Gräben, deren Seitenwände eine (111) Orientierung aufweisen, können solche Nanowire-Brücken, wie in Abbildung 2.7a dargestellt, realisiert werden. Der Au-Katalysator wurde hier nur auf der linken Seitenwand aufgebracht, um ein Wachstum der Wires von links nach rechts zu initiieren. Auf der gegenüberliegenden Seite erkennt man deutlich das Andocken der Wires an der Silizium-Elektrode.

Genauere Untersuchungen der selbstkontaktierten Anschlussstellen zeigen, dass es sich um einen epitaktischen Silizium-Silizium-Übergang handelt [42]. Während der Wachstumsphase der Nanowires kommt es gleichzeitig zu einer großflächigen, nicht katalytischen Abscheidung von Silizium (Abbildung 2.8a). Der Übergang zum darunterliegenden Bulk-Silizium ist in der Regel epitaktisch. Trifft der Nanowire auf eine solche Siliziumfläche, wird der ge-

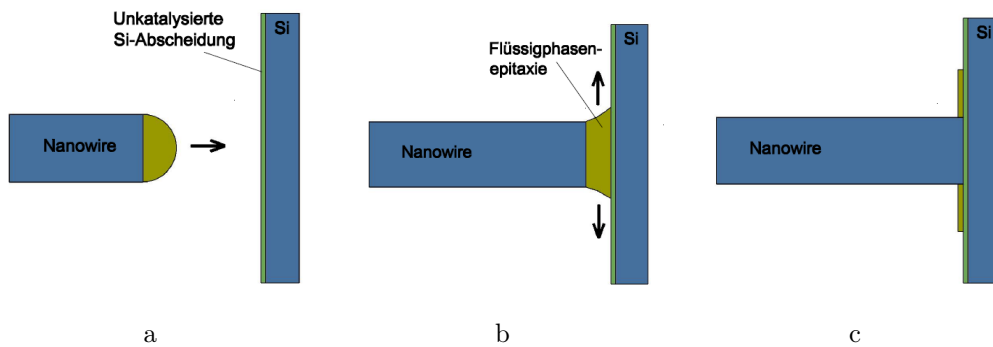


Abbildung 2.8: Selbstkontaktierungsmechanismus eines Nanowires. In Bild (a) wächst ein Nanowire auf eine Si-Fläche zu, an der es zu einer nicht-katalytischen Abscheidung kommt. Bild (b) veranschaulicht das Andocken des Wires. An der Anschlussstelle kommt es zu einer Flüssigphasenepitaxie. In Bild (c) ist der Nanowire bereits mit dem Si verbunden.

schmolzene Tropfen des Au-Si-Eutektikums an der Spitze des Wires sukzessiv von der Anschlussstelle verdrängt und breitet sich radial auf der Oberfläche des nicht katalytisch abgeschiedenen Siliziums aus (Abbildung 2.8b). An der Kontaktstelle zwischen dem flüssigen Tropfen und der Si-Fläche kommt es zu einer Flüssigphasenepitaxie (englisch *Liquid Phase Epitaxy*, LPE). Diese Si-Abscheidung und das gleichzeitige Weiterwachsen des Wires führen schließlich zu einem geschlossenen Silizium-Silizium-Kontakt. Das radial verdrängte Au-Si-Eutektikum initiiert eine weitere katalytische Abscheidung in Form einer Scheibe rund um die Anschlussstelle (Abbildung 2.8c), die auch in der REM-Aufnahme in Abbildung 2.7b erkennbar ist.

Bemerkenswert ist die schon angesprochene mechanische Stabilität der Kontaktstellen. Die Wires brechen bei zu starken Krafteinwirkungen vorzugsweise mittig und nicht an den Anschlussstellen. Dies ist ein Indikator für eine enorm robuste mechanische Verbindung [38]. Auch Elastizitätsmessungen der gesamten Nanowire-Brücke ergaben zufriedenstellende Ergebnisse, die mit den Werten von Bulk-Silizium vergleichbar sind [43].

2.2.2 Elektrische Eigenschaften

Um Nanowires in elektronische Bauelemente zu integrieren, bedarf es eines tieferen Verständnisses relevanter physikalischer Eigenschaften. Es sind noch viele Fragen offen, sicher ist aber, dass bei nanoskalierten Strukturen quantenmechanische Effekte die Funktion des Bauelements beeinflussen oder sogar bestimmen. Typische Beispiele solcher Phänomene sind das Auftreten einer quantisierten Leitfähigkeit bzw. eines ballistischen Ladungstransports oder die Umwandlung von einem Metall zu einem Halbleiter.

Für das elektrische Verhalten von Nanowire-Bauelementen sind vor allem Parameter wie die Ladungsträgerkonzentration, ihre Mobilität oder der Bandabstand ausschlaggebend. Diese Werte sind bei Nanowires sehr stark von ihrem Wachstum abhängig, welches dahingehend optimiert werden muss. Trotz des heutigen Bestrebens, vertikale, selbstkontaktierte Nanowire-Bauelemente zu fertigen, erfolgt die elektrische Charakterisierung der Wires typischer-

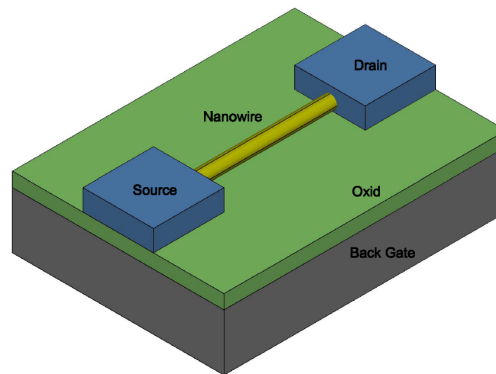


Abbildung 2.9: Typische Struktur zur elektrischen Charakterisierung von Nanowires.

weise in einer horizontalen Struktur, wie sie in Abbildung 2.9 dargestellt ist [44, 45, 46, 47]. Dazu werden die Nanowires auf ein oxidiertes Substrat aufgebracht und meist mittels Elektronenstrahlolithografie kontaktiert. Das Substrat kann so als Back-Gate verwendet werden. Diese typische Feldeffekt-Transistorstruktur dient nun zur Aufnahme der Strom-Spannungs-Kennlinien und ermöglicht eine elektrische Charakterisierung verschiedenster Nanowires. Insbesondere aus der Änderung der Leitfähigkeit bei Variation der Gate-Spannung lässt sich auf die Mobilität der Ladungsträger schließen. Einer der Gründe für den großen Erfolg der Halbleiterelektronik ist die Möglichkeit, die Leitfähigkeit durch Dotierung zu kontrollieren. Diese Methode lässt sich auch auf Nanowires anwenden und ermöglicht so eine Verbesserung der elektrischen Eigenschaften.

Repräsentative Studien solcher eindimensionaler Strukturen haben gezeigt, dass Nanowires bestens für den Einsatz als Feldeffekt-Transistoren geeignet sind. Ihre Ladungsträgermobilität ist absolut mit der von herkömmlichen Bulk-Substraten vergleichbar (siehe Tabelle 2.1), was für die hohe Qualität dieser Nano-Bausteine spricht.

Zum Unterschied zu herkömmlichen Transistor-Strukturen, bei denen die Source- und Drain-Kontakte üblicherweise durch hoch-dotiertes Silizium hergestellt werden, existiert bei dieser, für Nanowires typischen Bauweise, ein

Material	p-Si	n-InP	n-GaN	n-CdS
Nanowire	40-300	400-4000	150-650	100-400
Bulk	10-400	1000-2000	100-300	200

Tabelle 2.1: Ladungsträgermobilität verschiedener Nanowire-Materialien im Vergleich zu ihren Bulk-Werten bei gleicher Ladungsträgerkonzentration. [48]

Metall-Kontakt. In dieser Hinsicht weisen Nanowire-FETs eine Schottky-Barriere auf. Daher ist die Performance derartiger Bauelemente zu einem großen Teil von den Kontakteigenschaften abhängig. Zum Beispiel wurde gezeigt, dass die elektrischen Eigenschaften durch eine Wärmebehandlung nach dem Aufbringen der Kontaktpads deutlich verbessert werden können. Dabei erreichte man im Fall von p-dotierten Si-Nanowires mit Ti-Au-Kontakten durch ein drei-minütiges Aufheizen auf 300-600°C eine Steigerung der Leitfähigkeit von 45 auf 800 nS, die durchschnittliche Mobilität verbesserte sich dabei von 30 auf 560 cm²(Vs)⁻¹ [14].

2.2.3 Architekturen aktueller Nanowire-Transistoren

Nanowires sind aufgrund ihrer hervorragenden Eigenschaften bestens für eine zukünftige Integration in elektronische und optoelektronische Bauelemente geeignet. Feldeffekt-Transistoren (FETs) sind typische Vertreter eines solchen Bauelements, nicht zuletzt wegen ihrer Schlüsselrolle in der Halbleiterindustrie. Es ist deshalb auch nicht verwunderlich, dass viel Forschungsarbeit in die Entwicklung eines Nanowire-Transistors investiert wird.

Das in Kapitel 2.2.2 vorgestellte Konzept zur Charakterisierung von Nanowires eignet sich nur in begrenztem Ausmaß für eine Integration. Bei dieser Methode werden die Wires unkontrolliert auf die Oberfläche aufgebracht und anschließend einige davon kontaktiert. Um Nanowires in zukünftigen Bauelementen zu verwenden, bedarf es nicht nur einer gut kontrollierbaren Herstellung und Anordnung der Nanowires, sondern auch einer geschickten Architektur des Bauelements. Im Folgenden wird die Architektur zweier Nanowire-FETs vorgestellt, welche für die aktuelle Forschung repräsentativ sind.

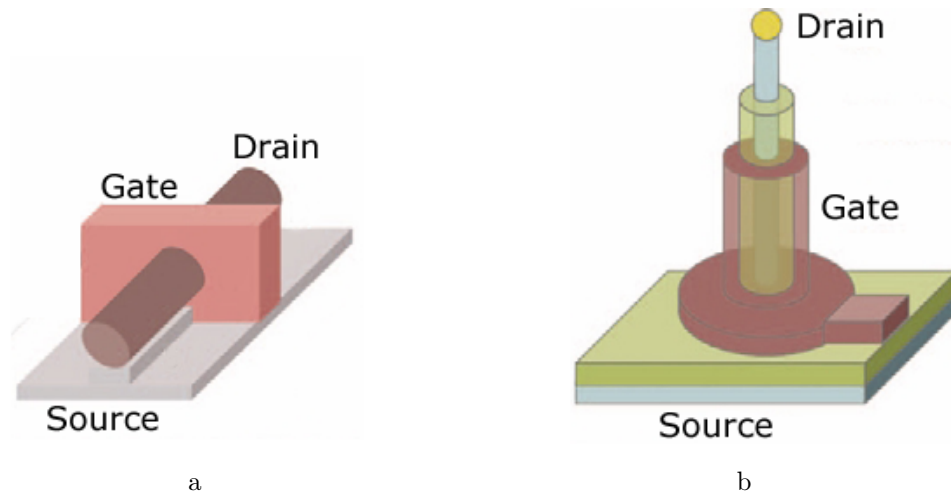


Abbildung 2.10: Architekturen aktueller Nanowire-Transistoren. Bild (a) zeigt eine planare Bauweise. In Bild (b) ist ein vertikales Konzept mit Wrap-around-Gate dargestellt. [49]

Abbildung 2.10a zeigt eine typische planare Bauweise [50, 51]. Hier gehen die Bestrebungen dahin, die zuvor angesprochene Struktur zur Charakterisierung der Wires so zu erweitern, dass auch sie sich für eine Integration eignen. Dazu ist ein Verfahren zur Anordnung der Nanowires an den Source- und Drain-Kontaktstellen notwendig. Schließlich ist für den Transistor auch noch ein Gate-Anschluss erforderlich, der in dieser Grafik als sog. Wrap-around Gate ausgeführt ist. Ein solcher, den gesamten Wire umschließender Kontakt, ermöglicht eine besonders gute elektrische Steuerbarkeit des Transistors.

Ein vertikales Konzept zeigt Abbildung 2.10b [52, 53, 54]. Hier wird das epitaktische Wachstum der Wires ausgenutzt. Bei diesem Herstellungsprozess spielt die gezielte Positionierung der Wachstumskeime eine entscheidende Rolle. Das Substrat fungiert zugleich als Source-Kontakt, während der Drain-Anschluss erst durch einen eigenen Metallisierungsprozess hergestellt werden muss. Auch hier handelt es sich um ein Wrap-around Gate. Gegenüber der planaren Struktur hat die vertikale Bauweise den entscheidenden Vorteil einer höheren Integrationsdichte.

Kapitel 3

Das vertikale Nanowire-Bauelement

Die zukünftige Verwendung von Nanowires in hochentwickelten Bauelementen erfordert nicht nur Reproduzierbarkeit hinsichtlich der Synthese, sondern auch innovative Integrationsprozesse. Die Herausforderung besteht darin, trotz der derzeitigen technologischen Grenzen strukturell und funktionell optimale Nanowires zu gewinnen. Derzeit ist der Feldeffekt-Transistor (FET) noch immer das Zugpferd der Halbleiterindustrie. Daher ist es nicht verwunderlich, dass viel Forschungsarbeit in die Entwicklung von Nanowire-FETs investiert wird. In Kapitel [2.2.3](#) wurden schon einige Konzepte von Transistor-Bauelementen vorgestellt. Die typischen planaren Anordnungen mit Top- oder Back-Gate Architektur sind zwar für die Charakterisierung interessant, können aber nicht effizient und platzsparend eingesetzt werden. Vertikale Bauweisen besitzen dagegen viel Potential. Die Nanowires sind hier mit einem Ende durch epitaktisches Wachstum schon mit dem Substrat verbunden. Außerdem kann durch die vertikale Bauweise ein enormer Platzgewinn erzielt werden, was zu einer noch größeren Integrationsdichte führt. Im Folgenden wird ein innovatives Konzept eines vertikalen Nanowire-Bauelements vorgestellt, das die Grundlage der vorliegenden Arbeit und einen weiteren großen Schritt in Richtung Integration darstellt.

Die Grundidee des vertikalen Nanowire-Bauelements basiert auf der Nutzung des Selbstkontaktierungsmechanismus beim Nanowire-Wachstum (vgl.

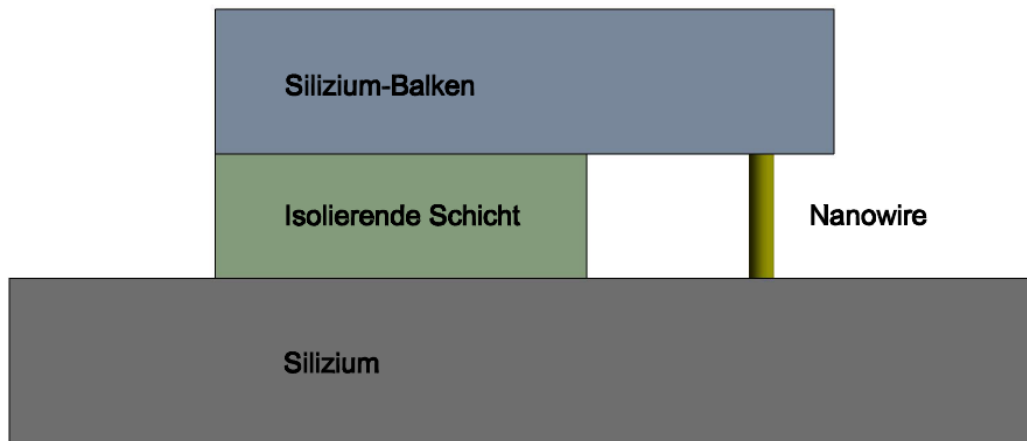


Abbildung 3.1: Konzept des vertikalen Nanowire-Bauelements.

Kapitel 2.2.1). Das daraus entwickelte Konzept ist in Abbildung 3.1 schematisch dargestellt. Ziel der vorliegenden Arbeit war die Umsetzung dieser Idee mittels innovativer und, mit der herkömmlichen Siliziumtechnologie möglichst kompatibler, Prozessschritte. Die Grundstruktur des Bauelements besteht aus zwei Siliziumschichten, die durch eine isolierende Schicht von einander elektrisch getrennt sind. Durch teilweises Entfernen der Isolationschicht soll ein überhängender Balken (englisch *Cantilever*) entstehen. Ziel ist, die untere Si-Schicht durch epitaktisches Wachstum von möglichst nur einem Nanowire mit der oberen Schicht elektrisch zu verbinden. Dabei soll der Nanowire während des Wachstums die obere Schicht erreichen und sich selbst kontaktieren. Dies würde zu einer wesentlichen Vereinfachung bisheriger Kontaktierungskonzepte führen. Der größte Vorteil wäre aber ein praktisch idealer kontinuierlicher Si-Si-Übergang an beiden Enden des Nanowires und damit vielversprechende elektrische Eigenschaften des Bauelements. Aus dieser Grundstruktur lässt sich auf einfache und vorteilhafte Weise ein Nanowire-Feldeffekt-Transistor (NW-FET) herstellen. Der frei stehende Wire eignet sich hervorragend zur Ummantelung mit einem Gate-Dielektrikum und schließlich der Gateelektrode. Durch eine solche Struktur würde der Gate-Effekt bestmöglichst ausgenutzt.

Der folgende Teil dieser Arbeit beschäftigt sich mit der Realisierung dieses Konzepts bzw. mit der Herstellung eines Prototyps. Im Kapitel 'Prozesstechnologien' werden relevante Prozessschritte näher erläutert, sowie einige grundlegende Überlegungen zur Entwicklung angestellt. Das Kapitel 'Herstellung des Bauelements und Charakterisierung' stellt schließlich den gesamten Prozessablauf zusammenfassend dar. Weiters werden die elektrischen Eigenschaften charakterisiert, sowie die zur Realisierung des Bauelements notwendigen, grundlegenden Untersuchungen zum Wachstumsprozess der Nanowires dargestellt.

Kapitel 4

Prozesstechnologien

4.1 SOI Wafer als Ausgangsmaterial

Der Begriff Silicon On Insulator (SOI) bezeichnet ein geschichtetes Silizium-Isolator-Silizium-Substrat, dass seit einigen Jahren in der Halbleiterindustrie Verwendung findet. Im Gegensatz zum konventionellen Silizium-Substrat, befinden sich die elektronischen Bauelemente hier in einer sehr dünnen Si-Schicht, die auf einem Isolator, meistens aus Siliziumdioxid (SiO_2), liegt. Sie weisen erheblich verbesserte Eigenschaften auf, die sich zum Beispiel durch geringere parasitäre Kapazitäten wegen der Isolierung zum Bulk-Silizium erklären lassen. Die Implementierung der SOI-Technologie ist auf jeden Fall eine der Strategien, um die Miniaturisierung der elektronischen Schaltkreise voranzutreiben.

Bei der Entwicklung des vertikalen Nanowire-Bauelements wurde auf einen SOI-Wafer zurückgegriffen. Der schematische Aufbau des verwendeten SOI-Wafers ist in Abbildung 4.1a dargestellt. Dieser Wafer zeichnet sich durch eine hohe p-Dotierung beider Si-Schichten aus, als Isolatormaterial dient SiO_2 . Für das senkrechte Wachstum der Nanowires ist die (111) Orientierung der unteren Si-Schicht von besonderer Bedeutung (vgl. Kapitel 2.1.4), die obere Schicht weist hingegen eine (110) Orientierung auf. In der REM-Aufnahme (Abbildung 4.1b) wurde eine Oxiddicke von ca. $2\text{ }\mu\text{m}$ und eine Dicke der oberen Silizium-Schicht von ca. $3.5\text{ }\mu\text{m}$ gemessen. Beide Silizium-Schichten

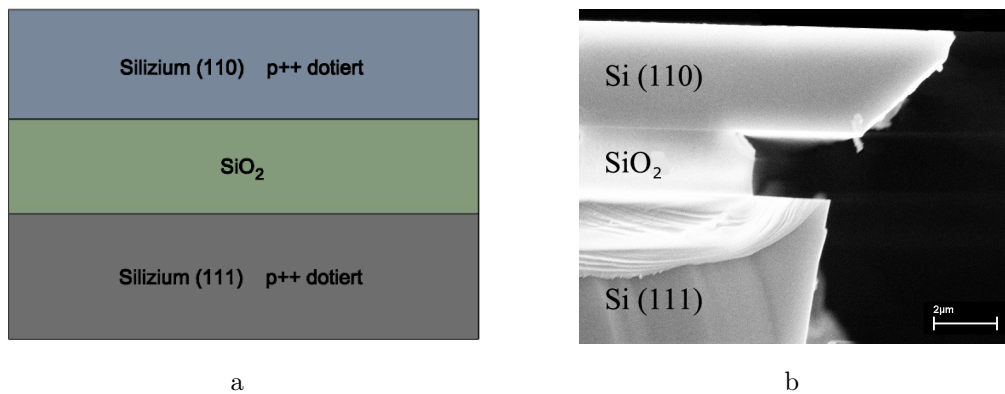


Abbildung 4.1: SOI-Wafer. Bild (a) zeigt den schematischen Aufbau, Bild (b) eine Bruchkante mit rückgeätztem Isolator.

sind mit Bor dotiert, wobei die untere Schicht einen Widerstand von $<0.03 \Omega\text{cm}$, die Obere von $<0.01 \Omega\text{cm}$ aufweist.

Erzeugt man durch teilweises Entfernen des Oxids eine freitragende Si-Schicht, so besteht die Möglichkeit, beide Si-Flächen durch Nanowires zu verbinden. Das Oxid ermöglicht gegenseitig isolierende Anschlusskontakte für das Bauelement.

4.2 Probenpräparation und Reinigung

Die Vorbereitung und Reinigung der Proben spielt eine große Rolle hinsichtlich eines kontrollierten Prozessablaufs und der Reproduzierbarkeit. Da es äußerst problematisch ist, den SOI-Wafer mit seinen zwei unterschiedlich orientierten Siliziumschichten zu brechen und für viele Prozessschritte Proben definierter Form und Größe erforderlich sind, wurde der Wafer zersägt. Nach Aufbringen der Siliziumscheibe auf eine mit Adhäsionskleber beschichtete Folie, wurde diese mit einer Wafersäge in ca. $1 \times 1 \text{ cm}$ große Stücke geschnitten.

Um die Probenstücke von Schmutzpartikeln zu reinigen, wurden sie für ca. 5 min in ein H_2O -Ultraschallbad gegeben. Organische Verunreinigungen wurden durch kurzes Eintauchen (10-30 s) in ein mit Aceton gefülltes Becherglas

entfernt. Um eine anschließende Schlierenbildung durch das schnell verdunstende Aceton zu vermeiden, ist ein rasches Spülen mit Isopropanol notwendig. Die Probe wurde schließlich mit hochreinem Stickstoff trocken geblasen.

4.3 Das Maskendesign

Dieser Abschnitt beschäftigt sich mit der eigentlichen Architektur des Bauelements, im Speziellen mit dem dafür notwendigen Maskendesign für die Lithografie. Weiters werden Überlegungen zur effizienten Probengestaltung angestellt. Das Ziel ist, in jedem Prozessdurchlauf eine möglichst große Ausbeute an Bauelementen zu bekommen, sowie eine einfache Charakterisierung und Visualisierung des Bauelements zu ermöglichen.

4.3.1 Die Cantilever Maske

Ein wesentlicher Schritt in der Entwicklung der Bauelement-Architektur war die Strukturierung der oberen Siliziumschicht des SOI-Substrats. Sie repräsentiert praktisch den Grundriss des Bauelements. Um den Vorteil der kleinen Abmessungen des Nanowires in seiner vertikalen Ausrichtung bestens zu nutzen, wurde die Form des überhängenden Balkens, an dem sich der Nanowire kontaktieren soll, entsprechend schmal und klein gewählt. Gleichzeitig soll der Cantilever aber noch mit herkömmlicher Fotolithografie realisiert werden können. In seiner Funktion als oberer Anschlusskontakt des Nanowires muss er auch als Leiterbahn fungieren. In diesem Fall mündet er in ein Kontaktpad, damit auf dem Spitzenmessplatz eine elektrische Charakterisierung durchgeführt werden kann. Um die Ergebnisse nicht zu verfälschen, sollte dieses Pad möglichst nahe dem eigentlichen Bauelement platziert werden.

Es wurden zwei verschiedene Strukturen des Cantilevers realisiert, die in Abbildung 4.2 dargestellt sind. Die rechteckige Form in Abbildung 4.2a weist eine nominelle Breite von $4\text{ }\mu\text{m}$ auf. Gleichzeitig wurde eine spitze Struktur konstruiert, um möglichst kleine Abmessungen des Bauelements zu erzielen (Abbildung 4.2b). Im Zuge der Herstellung des Bauelements wurden zwei verschiedene Ansätze verfolgt, wobei je eine dieser Formen verwendet wurde.

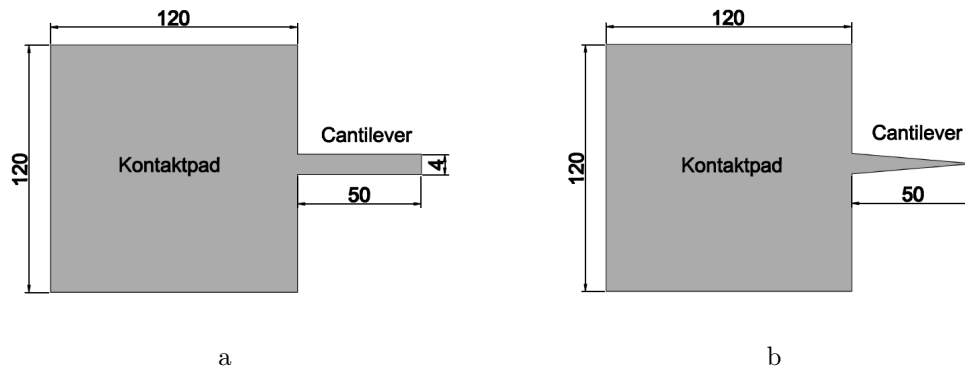


Abbildung 4.2: Maskendesign zur Strukturierung der oberen Silizium-Schicht (Abmessungen in μm). Bild (a) zeigt die rechteckige Form des Cantilevers, Bild (b) die spitze Form.

Beide Architekturen weisen aber gleiche Kontaktpads auf, deren Abmessungen $120 \mu\text{m} \times 120 \mu\text{m}$ betragen und die mit der Nadel vom Spitzenmessplatz direkt kontaktiert werden können.

4.3.2 Die Oxid Maske

Nach der Strukturierung der oberen Siliziumschicht in einem Trockenätzprozess, bedarf es einer weiteren Lithografie-Maske, um die Grundform des Bauelements zu erhalten. Es handelt sich dabei um die teilweise Entfernung der Siliziumdioxid-Schicht durch nasschemisches Ätzen, mit dem Ziel, einen freitragenden Balken des darüber liegenden Siliziums zu erhalten (vgl. Abbildung 3.1). Dazu ist es notwendig, den gesamten Bereich des Bauelements, außer die Spitze, an der sich der Nanowire später befinden soll, abzudecken. Die zugehörige Maske muss daher eine gerade Kante aufweisen und ist entsprechend einfach zu gestalten. In Abbildung 4.3 ist die Ausrichtung der Oxid-Maske zur Struktur der Siliziumschicht dargestellt. Die Überhanglänge des Cantilevers kann auf einfache Weise durch Verschieben der Kante gesteuert werden. Die produzierten Proben weisen einen Überhang von $2\text{-}10 \mu\text{m}$ auf.

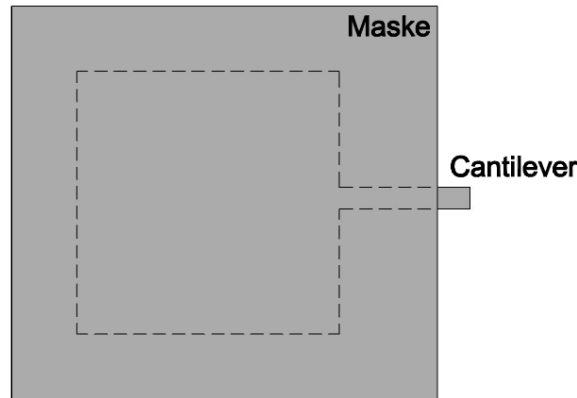


Abbildung 4.3: Maskendesign zur Strukturierung der Oxidschicht.

4.3.3 Das Probendesign

Die wichtigste Anforderung an die Probe ist der Stromtransport durch den Nanowire vom Cantilever zum Substrat. Aber auch die Gestaltung der Probe ist für eine effiziente Forschungsarbeit von Bedeutung. In erster Linie sollen möglichst viele Teststrukturen durch paralleles Prozessieren hergestellt werden. Auch die Anordnung und Ausrichtung, sowie die Herstellung weiterer Hilfsstrukturen sollte gut überlegt werden. In [Abbildung 4.4](#) ist ein Ausschnitt des verwendeten Probendesigns abgebildet.

Um später jedes Bauelement schnell und vor allem in guter Qualität im Rasterelektronenmikroskop betrachten zu können, war es notwendig, die Cantilever so nahe als möglich an der Probenkante zu platzieren (vgl. [Kapitel 4.3.4](#)). Durch abwechselndes Versetzen der Kontaktpads konnte eine dichte Aneinanderreihung der Bauelemente erreicht werden. Besonders wichtig ist die Nummerierung, um später die REM-Aufnahmen den Messungen am Spitzenmessplatz zuordnen zu können. Die Form der Cantilever (vgl. [Abbildung 4.2](#)) ändert sich blockweise nach jeweils 20 Modulen. Mit dieser Anordnung wurden an einer Probenkante rund 100 Bauelemente realisiert. Die etwas größeren Rechtecke hinter den Kontaktpads ermöglichen einen Zugriff auf die untere Silizium-Schicht. Die Nähe zum oberen Kontaktpad ist dabei ein

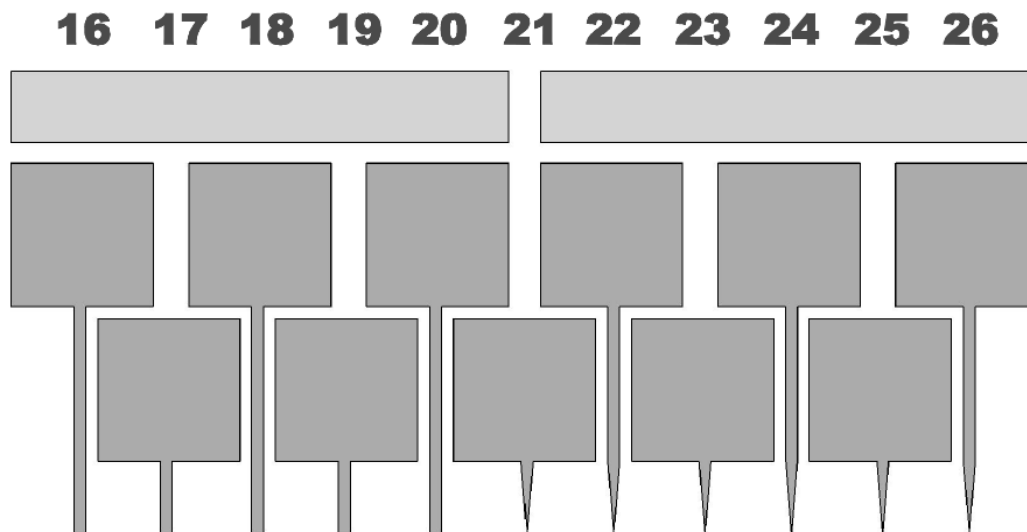


Abbildung 4.4: Ausschnitt aus der Probenarchitektur

Vorteil für die elektrische Charakterisierung, da beide Strompfade zum Nanowire ungefähr dieselbe Länge und Richtung aufweisen.

4.3.4 Strukturbelichtung an der Probenkante

Um die Bauelemente im Rasterelektronenmikroskop (REM) bestmöglich zu charakterisieren, war es notwendig, den Bereich unterhalb der Cantilever auszuleuchten. Es ist insbesondere wichtig zu beurteilen, ob und wie viele Nanowires Kontakt mit der oberen Silizium-Schicht hergestellt haben. Dies ist nur durch einen sehr flachen Betrachtungswinkel zur Probenoberfläche möglich, im Idealfall parallel dazu. Wird die Probe im REM unter einem so spitzen Winkel betrachtet, erhält man nur bei Strukturen nahe der Probenkante brauchbare Ergebnisse. Je weiter sich der Bereich des Interesses in Richtung der Probenmitte verschiebt, desto schlechter ist die Bildqualität, da sich der Arbeitsabstand vergrößert und damit die Elektronen-Intensität am Sekundärelektronen-Detektor abnimmt. Somit war klar, dass sich alle Strukturen relativ nahe der Probenkante befinden müssen. Im Allgemeinen wurde ein Abstand zwischen 50 und 100 μm gewählt.

Im Zuge des Lithografieprozesses entsteht beim Aufspinnen des Fotolacks eine signifikante Erhöhung am Probenrand, der sog. Randwall (englisch *edge bead*). Dieser kann oft ein Vielfaches der eigentlichen Lackdicke ausmachen. Ein planes Aufliegen der Fotomaske auf der Probe ist dadurch nicht mehr gewährleistet, wodurch die Strukturen schlecht belichtet werden und nicht mehr verwertbar sind. Außerdem sind die kleinsten Abmessungen der Cantilever-Strukturen ohnehin schon an der Auflösungsgrenze des Fotolacks. Der Randwall wird üblicherweise durch einfaches Belichten entfernt. An diesen Stellen können später keine Strukturen mehr hergestellt werden. Da die Nanowire-Bauelemente aber relativ nahe an der Probenkante liegen sollen, musste ein alternativer Prozess entwickelt werden.

Eine Reduzierung des Randwalls kann zum Beispiel durch eine Verdünnung des Fotolacks erreicht werden. Dieses, sowie andere Standardverfahren brachten bei den hier verwendeten Proben aber keine ausreichend guten Ergebnisse. Daher wurde ein Verfahren entwickelt, das zumindest in bestimmten Bereichen der Probenkante keinen Randwall mit sich bringt. Die Grundidee war, dass die Kanten mehrerer Proben zusammengefügt werden, sodass diese während der Rotationsbeschichtung keinen äußeren Rand darstellen. Da die Nanowire-Proben quadratisch geschnitten wurden, eigneten sie sich bestens für die in Abbildung 4.5 gezeigte Anordnung. Hier werden 4 Probenstücke an jeweils 2 Kanten aneinander gereiht. Als Unterlage diente ein Glasobjektträger, der zuvor mit Fotolack beschichtet wurde. Die Proben wurden vorsichtig zusammengeschoben und dann durch Aufheizen fixiert. Nach 1 min bei 120°C hatte sich der Fotolack verfestigt und wirkte praktisch als Kleber. Daraufhin erfolgte der eigentliche Fotolack-Beschichtungsprozess. An den inneren Kanten der Proben tritt keine wesentliche Erhöhung mehr auf. Aufgrund der nicht idealen Kanten und der damit verbundenen Kluft sind dennoch Unebenheiten vorhanden, diese spielen für die weitere Prozessierung aber keine Rolle. Durch ein kurzes Auflegen des Objektträgers auf die 120°C heiße Heizplatte (1-3 s) wurde der Lack warm und die Proben konnten ganz leicht entfernt werden. Der Randwall, der jetzt nur mehr an den äußeren Kanten der Proben entstanden war, wurde vor der eigentlichen Weiterprozessierung durch ein-

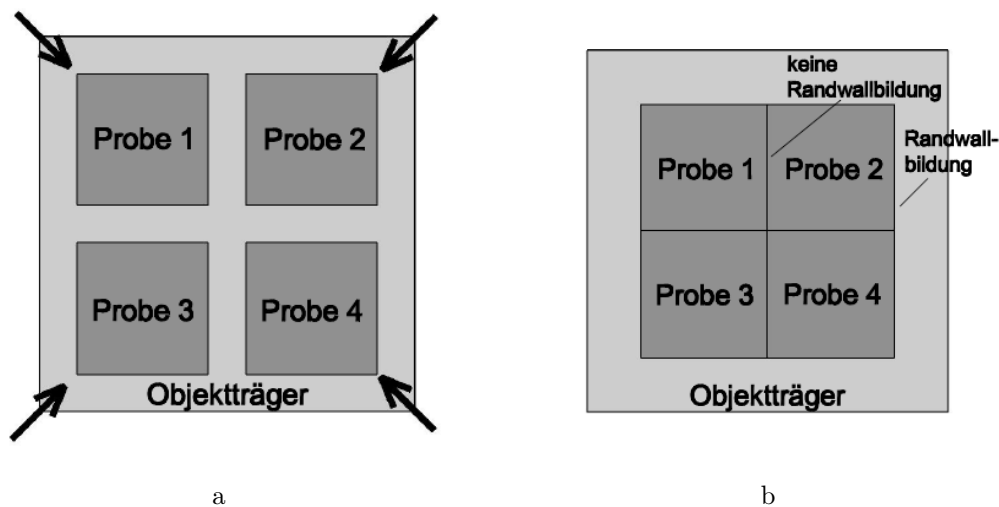


Abbildung 4.5: Strukturbelichtung an der Probenkante. Durch Zusammenfügen von 4 Proben (a) wird die Randwallbildung beim Aufspinnen des Fotolacks an bestimmten Probenkanten unterdrückt (b).

fache Belichtung entfernt. Dank dieses Verfahrens konnten die Bauelement-Strukturen, wie gefordert, extrem nahe der Probenkante hergestellt werden.

4.4 Die Herstellung der Nanokatalysatoren

Die Wachstumskeime der Silizium Nanowires sind kleine Metalltropfen, die als Katalysatoren dienen (vgl. Kapitel 2.1.2). Die Größe dieser Inseln bestimmt im Wesentlichen den Durchmesser des Wires. Es existieren verschiedenste Verfahren zur Herstellung solcher Nanostrukturen, wie z.B. das thermische Verdampfen oder Sputtern einer dünnen Schicht. Das Aufheizen dieser Schicht führt dann zur Tropfenbildung. Einen ganz konträren Ansatz stellt die Verwendung von Kolloiden dar. In den nächsten Kapiteln werden diese Methoden im Detail behandelt. Die Ausführungen beschränken sich dabei auf das Metall Gold (Au), welches in dieser Arbeit als Katalysator verwendet wurde.

4.4.1 Verdampfen und Sputtern der Katalysatoren

Thermisches Verdampfen (auch Aufdampfen oder Bedampfen) gehört zur Gruppe der physikalischen Gasphasenabscheidungsverfahren (englisch *physical vapor deposition*, PVD) und erfordert Hochvakuumbedingungen. Dabei wird das Ausgangsmaterial Gold auf Temperaturen nahe seines Siedepunktes von 2856°C erhitzt. Der entstehende Materialdampf trifft wegen des starken Vakuums gerichtet auf das Substrat und kondensiert an der Oberfläche. Es bildet sich eine dünne Schicht aus Gold, deren Dicke durch Schichtdickenmessung mit einem Schwingquarz kontrolliert werden kann. Typische Prozessdrücke zur Vermeidung von Zusammenstößen mit Restgasteilchen betragen 10^{-6} mbar, d.h die mittlere freie Weglänge ist größer als der Abstand vom Ausgangsmaterial zum Substrat. Für das Wachstum der Nanowires wurde auf die Proben eine Au-Schicht von 1-2 nm aufgedampft.

Das Sputtern bzw. die Sputter-Deposition ist ebenfalls eine hochvakuumbasierte Beschichtungstechnik, die zur Gruppe der PVD-Verfahren gehört. Bei diesem Vorgang werden Atome des Ausgangsmaterials Gold (Target) durch Beschuss mit energiereichen Ionen herausgesputtert und gehen dann in die Gasphase über. Wird in der Nähe des Targets das Substrat positioniert, so können die frei gewordenen Targetcluster auf dessen Oberfläche kondensieren und eine dünne Au-Schicht bilden. Der Druck muss dabei so gering sein, dass die mittlere freie Weglänge größer ist, als der Abstand vom Target zum Substrat. Um Restgase zu entfernen, wurde die Vakuumkammer der verwendeten Anlage zuvor bis zu einem Druck von $2 \cdot 10^{-5}$ mbar ausgepumpt. Anschließend wurde zur Erreichung des Arbeitsdrucks von $8 \cdot 10^{-3}$ mbar das Inertgas Argon eingelassen. Der Sputterprozess für das Abscheiden von 1-2 nm Gold dauerte bei einer Leistung von 50W etwa 1s. Die Sputteranlage wurde im Rahmen dieser Arbeit auch für andere Prozessschritte verwendet, unter anderem für das Aufbringen von Siliziumoxid (SiO_x) und Chrom (Cr). Für SiO_x wurde eine Sputterrate von 20 nm/min, für Chrom eine von 50 nm/min ermittelt, bei einer Sputterleistung von 100 W. Beim Aufbringen von dickeren Schichten ist auf die Hitzeentwicklung am Substrat bei zu langem Teilchenbeschuss zu achten, da sonst der Fotolack unlöslich wird. Deshalb erfolgte bei allen Prozessen nach einer Sputterdauer von 30 s eine einminütige Abkühlphase.

Erst das Aufheizen der, durch thermisches Verdampfen oder Sputtern abgeschiedenen, dünnen Gold-Schicht führt zu einer Tropfenbildung bzw. den eigentlichen Wachstumskeimen. Erhitzt man den Gold-Film über die eutektische Temperatur von 363°C (vgl. Phasendiagramm in Abbildung 2.1), beginnt das Silizium vom Substrat in die Au-Schicht zu diffundieren und es bildet sich eine flüssige Legierung. Um nun vorhandene Oberflächen- und Interface-Energien zu reduzieren, bricht dieser Au-Si-Film auf und bildet auf der Substratoberfläche verschieden große Tropfen. Da größere Tropfen mit einem kleineren Oberflächen zu Volumen-Verhältnis energetisch günstiger sind, diffundieren die Metall-Atome von kleineren zu größeren Tropfen. Das Wachstum von größeren Partikeln auf Kosten von Kleineren ist allgemein als Ostwald-Reifung bekannt. Durch verschieden dicke Gold-Schichten lässt sich die durchschnittliche Größe der entstehenden Tropfen und in späterer Folge der Durchmesser der Nanowires auf einfache Weise steuern [55]. Der eben beschriebene Vorgang zur Generierung der Nanokatalysatoren kann getrennt vom Nanowire-Wachstum erfolgen, wird aber oft erst in der Aufheizphase des eigentlichen Nanowire-Wachstumsprozesses initiiert.

4.4.2 Kolloide als Wachstumskeime

Eine alternative Methode, Si-Nanowire-Wachstumskeime herzustellen, beruht auf der Verwendung von sog. Kolloiden aus Gold. Dabei handelt es sich um kleine Goldpartikel in einem Dispersionsmedium. Handelt es sich bei dem Dispersionsmedium um eine Flüssigkeit, spricht man auch von einer kolloidalen Lösung. Zwecks Partikelabscheidung kann die kolloidale Lösung auf ein Substrat aufgebracht und anschließend verdampft werden. In Abbildung 4.6 sind 80 nm Goldkolloide auf einer Silizium-Oberfläche nach dem Verdampfen des Lösungsmittels dargestellt.

Gold-Kolloide sind hervorragend als Wachstumskeime für Nanowires geeignet, da durch ihre definierte Größe der Durchmesser der entstehenden Wires präzise kontrolliert werden kann [56]. Auch die Wachstumsdichte lässt sich mit gezielter Verdünnung der kolloidalen Lösung steuern [56]. Im Zuge dieser Arbeit wurden Gold-Kolloide mit einem Durchmesser von 30 bzw. 80 nm in

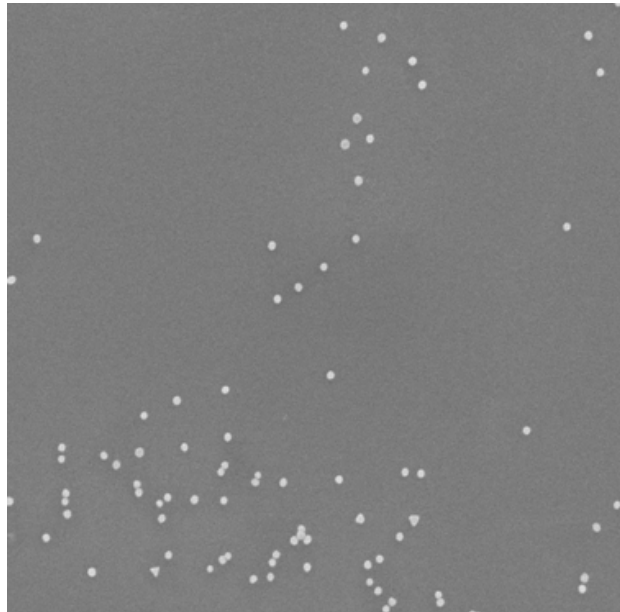


Abbildung 4.6: 80 nm-Au-Kolloide auf einem Si-Substrat.

unterschiedlichen Verdünnungen (1:10 und 1:100 mit destilliertem Wasser) verwendet.

4.5 Lift-Off mit HF

Der herkömmliche Lift-Off-Prozess ist eine einfache Methode, um auf einem Substrat Metallschichten zu strukturieren. Er wird oft für Edelmetalle verwendet, da diese besonders schwer mit einfachen nasschemischen Verfahren geätzt werden können. Üblicherweise wird in einem Lithografieschritt zuerst die Struktur mit Fotolack definiert. Durch verschiedenste Abscheideverfahren, wie zum Beispiel Sputterdeposition oder thermisches Verdampfen (vgl. Kapitel 4.4.1), wird der metallische Film schließlich ganzflächig auf das Substrat aufgebracht. Diese Schicht bedeckt nun den Fotolack, aber auch die Stellen, an denen der Lack durch den Strukturierungsprozess entfernt wurde. Der folgende Schritt ist der eigentliche Lift-Off-Prozess. Durch Entfernen des Fotolacks mit einem entsprechenden Lösungsmittel wird auch die darüberliegende Schicht abgehoben und entfernt. Übrig bleibt jener Teil des Metallfilms, der direkt auf das Substrat abgeschieden wurde.

Im Rahmen dieser Arbeit war es vor allem notwendig, die als Katalysator für das Wachstum der Nanowires dienende Gold-Schicht zu strukturieren. Die Wires sollen unterhalb der Cantilever entstehen und zu diesen hochwachsen. Der Bereich unter dem Cantilever ist aber der Standardlithografie mit Fotolack nicht zugänglich und der oben beschriebene Lift-Off-Prozess somit in dieser Form nicht durchführbar. Im Folgenden wird ein alternatives Verfahren vorgestellt, welches trotz des neuen Ansatzes eine gewisse Ähnlichkeit mit dem herkömmlichen Lift-Off aufweist. Die eigentliche Strukturierung erfolgt hier ebenfalls durch Abheben der nicht erwünschten Bereiche.

Dem neuen Prozess liegen zwei wesentliche Erkenntnisse zugrunde. Eine ist die Abscheidung einer dünnen Gold-Schicht auf Silizium durch Absinken in Flusssäure (HF). Ausgangspunkt ist ein mit Siliziumoxid SiO_x beschichtetes Silizium Substrat, das in diesem Fall durch Sputterdeposition aufgebracht wurde. Darauf wird die ca. 1-2 nm dicke Au-Schicht aufgesputtert. Bringt man nun die Probe waagrecht und mit der Au-Oberfläche nach oben vorsichtig in ruhende Flusssäure, so beginnt das Gold durch das, sich in HF auflösende, SiO_x abzusinken. Die Au-Schicht ist aufgrund ihrer geringen Dicke noch nicht vollständig geschlossen und leicht durchlässig für die Moleküle der Flusssäure, die ein Ätzmittel für das darunterliegende SiO_x darstellen. Durch die HF beginnen sich die obersten SiO_x -Schichten abzulösen. Die Restprodukte verflüchtigen sich wieder durch den darüber liegenden, durchlässigen Au-Film. Die Gold-Moleküle verlieren dabei aber nicht ihre Haftung zur SiO_x -Schicht und sinken mit dieser in Richtung Silizium-Substrat ab. Ist das Siliziumoxid vollständig entfernt, liegt der dünne Au-Film auf dem Silizium auf und haftet dort außerordentlich gut.

Zu starke Erschütterungen können zu einer partiellen Ablösung des Gold-Films führen. Daher ist ein vorsichtiges Eintauchen in die Flusssäure notwendig. Nimmt man aber die Probe aus der Ätzlösung bevor das SiO_x vollständig aufgelöst ist bzw. bevor das Gold die Silizium-Oberfläche erreicht hat, kann das gesamte Gold durch sofortiges Spülen mit destilliertem Wasser entfernt werden. Dies ist die zweite wichtige Erkenntnis und auf die geringere Haftung des Goldes am SiO_x während der Ätzung zurückzuführen.

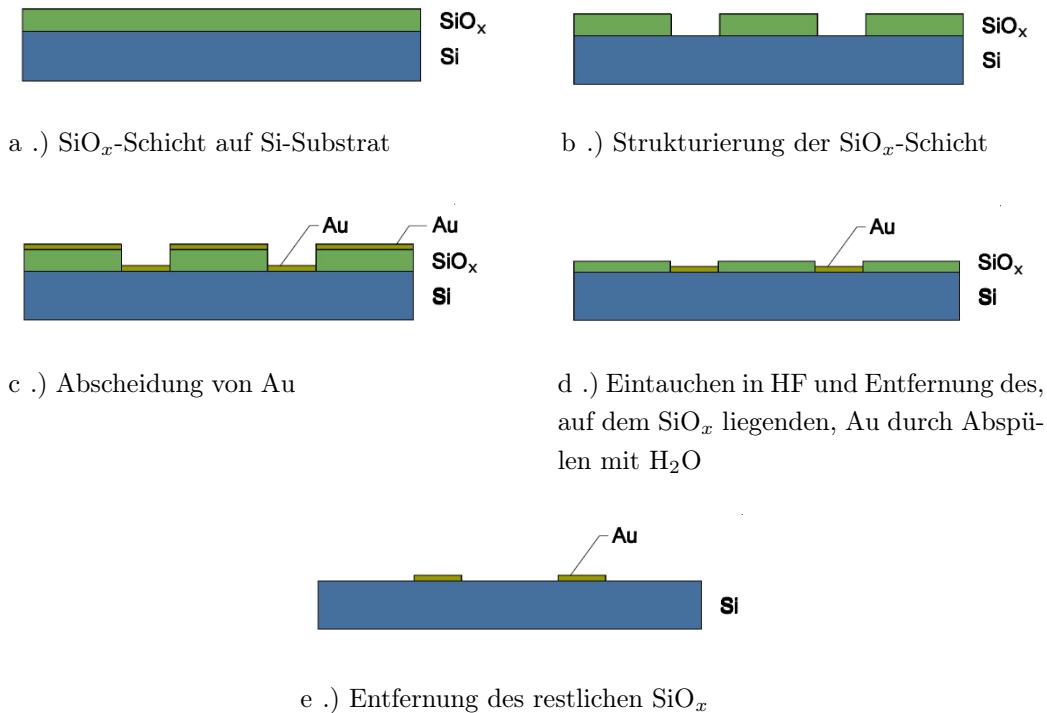


Abbildung 4.7: Schematische Darstellung des Prozessablaufs beim Lift-Off Prozess mit HF.

Die Methode des Abspülens einer dünnen Gold-Schicht vom SiO_x lässt sich hervorragend für einen quasi Lift-Off-Prozess nutzen. Eine strukturierte SiO_x -Schicht kann somit als Maske für die Abscheidung des Au-Films dienen. In Abbildung 4.7 ist dieser Prozessablauf schematisch dargestellt. Abbildung 4.7a zeigt zunächst das Ausgangsmaterial SiO_x auf einem Siliziumsubstrat. Im nächsten Schritt (Abbildung 4.7b) erfolgt die gewünschte Strukturierung des Siliziumoxids. Die freien Flächen repräsentieren die Stellen, an denen sich später das Gold am Substrat befinden soll. Abbildung 4.7c zeigt dieselbe Struktur, nachdem die dünne Au-Schicht aufgesputtert wurde. Taucht man nun die Probe in Flusssäure, beginnt sich die SiO_x -Schicht aufzulösen und die Haftung der Gold-Partikel am SiO_x zu verringern. Nimmt man die Probe rechtzeitig wieder aus der Säure und spült sie sofort mit destilliertem Wasser, wird das nicht erwünschte Gold entfernt (Abbildung 4.7d). Ein erneutes Eintauchen in HF entfernt das restliche SiO_x (Abbildung 4.7e). Das Au haf-

tet fest am Si-Substrat. Genaue Kenntnis der Ätzrate und eine ausreichende Höhe der SiO_x -Schicht sind für den Lift-Off-Prozess besonders wichtig. Die Ätzrate für das gesputterte SiO_x betrug 100 nm/min. Wird die Probe nicht rechtzeitig aus der Flusssäure genommen und gespült, erreicht das Gold das Substrat und bleibt trotz darauffolgender Spülung haften. Es wurden vor allem SiO_x -Schichtdicken zwischen 50 und 100 nm und eine 38%ige, mit Ammoniumfluorid (NH_4F) im Verhältnis 1:7 gepufferte, Flusssäure (BHF) verwendet.

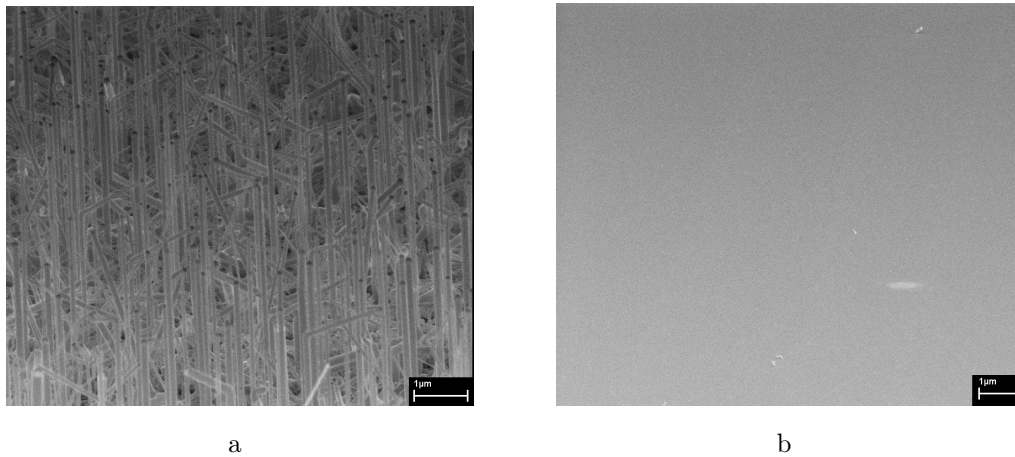


Abbildung 4.8: In Bild (a) wurde die Au-Schicht mittels HF abgesenkt, in (b) mit dem Lift-Off-Prozess entfernt. Das Ausbleiben des Wachstums in (b) spricht für die Effektivität des angewandten Verfahrens.

Einen Vergleich von abgesunkenem und abgespültem Gold als Katalysator für das Nanowire-Wachstum zeigt Abbildung 4.8. Beide Proben wurden unter den gleichen Bedingungen im Nanowire-Ofen gewachsen. Im linken Bild (Abbildung 4.8a) wurde ein Gold-Film zur Gänze auf das Siliziumsubstrat abgesenkt und anschließend mit destilliertem Wasser gespült. Man erkennt ein flächendeckendes epitaktisches Wachstum der Nanowires. Das bedeutet, dass sich der Gold-Film tatsächlich lückenlos auf die Si-Oberfläche legt und die Schicht danach durch Spülen nicht mehr zu entfernen ist. Bei der Probe in Abbildung 4.8b wurde der Au-Film während der Absinkphase weggespült. Die extrem glatte Oberfläche bzw. die vollständige Unterdrückung des Nanowire-Wachstums demonstrieren ein sauberes Entfernen der Au-Schicht.

4.6 Dielektrophorese

Dielektrophorese ist ein Verfahren zur Manipulation und Anordnung von Partikeln mittels eines inhomogenen elektrischen Feldes. Es wurde schon mehrfach gezeigt, dass die Methode geeignet ist, Nanowires anzuordnen [34, 57, 36]. Besonders interessant ist aber die direkte Manipulation von Kolloiden, den Wachstumskeimen der Nanowires [58]. Im Zuge dieser Arbeit wurde die Dielektrophorese dazu verwendet, die Gold-Kolloide am Cantilever zu positionieren.

Die Dielektrophorese basiert auf der Kraft, die bei Vorhandensein eines inhomogenen elektrischen Feldes auf polarisierbare Objekte wirkt. Legt man an die kolloidale Lösung ein inhomogenes Wechselfeld an, wird in den Kolloiden ein Dipolmoment induziert. Ist die Frequenz des Feldes hoch genug, so resultiert aus dem Vorzeichenwechsel keine effektive elektrostatische Interaktion. Das heißt, dass die Kolloide von keiner der beiden Elektroden wegen ihrer direkten Ladung angezogen werden. Dennoch existiert eine sog. dielektrophoretische Kraftwirkung. Sie resultiert aus der Interaktion der induzierten Dipole mit dem Gradienten des inhomogenen Feldes. Die Kraft $\vec{F}_{DEP}$ selbst ist vom Quadrat des Gradienten des elektrischen Feldes und der Form und Größe des Partikels abhängig. Im Falle eines kugelförmigen Partikels mit dem Radius r beträgt die dielektrische Kraft [59]:

$$\vec{F}_{DEP} = 2\pi r^3 \epsilon_m \operatorname{Re}[K(\omega)] \cdot \vec{\nabla} |\vec{E}|^2, \quad (4.1)$$

wobei ϵ_m die Permittivität des Mediums und E die elektrische Feldstärke ausdrückt. $\operatorname{Re}[K(\omega)]$ ist der Realteil des Clausius-Mossotti-Faktors, gegeben durch [59]

$$K(\omega) = \frac{\epsilon_p^* - \epsilon_m^*}{\epsilon_p^* + 2\epsilon_m^*}, \quad (4.2)$$

wobei ϵ_m^* und ϵ_p^* die komplexen Permittivitäten des Mediums und des Partikels darstellen. Metallische und andere hoch polarisierbare Partikel werden somit entlang des Gradienten des elektrischen Feldes angezogen und sammeln sich in Regionen hoher Feldintensitäten. Voraussetzung für die Wanderung ist aber die freie Beweglichkeit der Partikel im Medium.

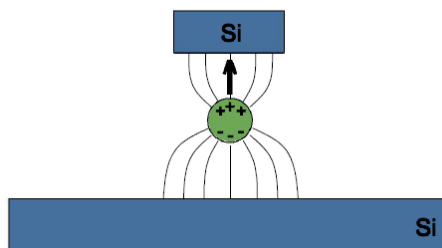


Abbildung 4.9: Polarisierbarer Partikel im inhomogenen elektrischen Feld des Cantilevers.

Im Falle der Nanowire-Bauelemente kann man recht einfach die untere Siliziumschicht sowie das obere Kontaktpad als Elektroden verwenden. Durch Anlegen einer elektrischen Spannung entsteht im Raum zwischen Cantilever und Substrat ein inhomogenes elektrisches Feld. Im Allgemeinen zeigt sich eine signifikante Erhöhung der Feldintensität an spitzen geometrischen Formen. Dieser Effekt kann besonders gut durch die Verwendung der spitzen Cantilever ausgenutzt werden. Abbildung 4.9 veranschaulicht die Wirkung auf einen polarisierbaren Partikel.

4.7 Nanowire CVD

Der Begriff Chemical Vapor Deposition (CVD) bezeichnet einen chemischen Prozess zur Herstellung von hochreinen Festkörpern aus der Gasphase. Speziell in der Halbleiterindustrie wird CVD zur Erzeugung von dünnen Filmen verschiedenster Materialien verwendet. Das abzuscheidende Material steht dabei in Form eines Precursor-Gases zur Verfügung. An der Substratoberfläche kommt es durch Zufuhr von meist thermischer Energie zu einer chemischen Reaktion der Gasmoleküle und das gewünschte Material scheidet sich ab. Dabei entstehende Nebenprodukte werden einfach durch das Trägergas abtransportiert. Um diese Oberflächenreaktionen gegenüber anderen Gasphasenreaktionen zu begünstigen, findet die CVD meist bei reduziertem Druck statt. Die Besonderheit dieses Verfahrens gegenüber physikalischen Verfahren, wie Sputtern oder thermischem Verdampfen (vgl. Kapitel 4.4.1),

liegt in der konformen Schichtabscheidung. Dadurch ist eine Beschichtung komplexer dreidimensionaler Formen möglich.

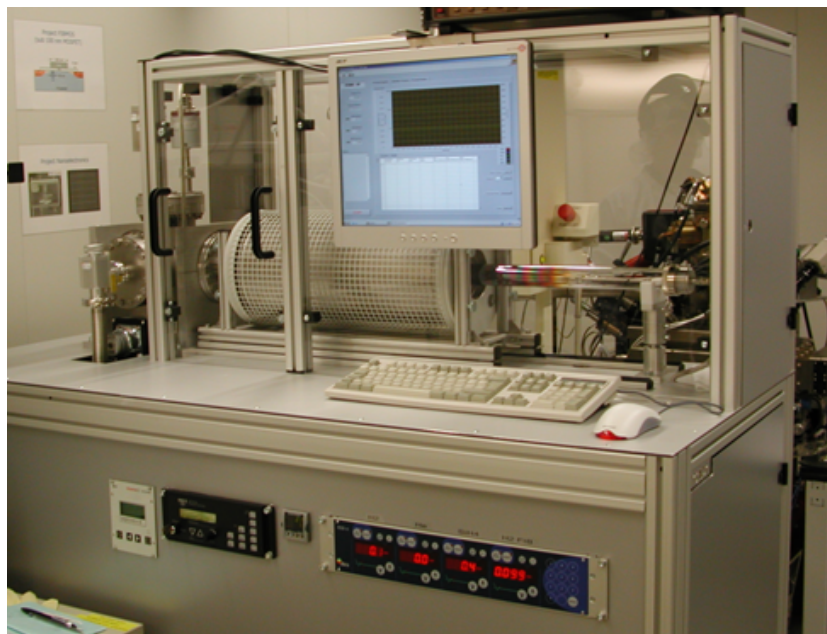


Abbildung 4.10: Nanowire CVD-Anlage.

Während bei der herkömmlichen CVD die Abscheidung einer bestimmten Materialschicht im Vordergrund steht, ist beim VLS-Mechanismus die Aufspaltung des Precursor-Gases an der Oberfläche der Metalltropfen von Interesse (vgl. Kapitel 2.1.2). Die im Rahmen dieser Diplomarbeit eingesetzte CVD-Anlage ist in Abbildung 4.10 dargestellt. Das Kernstück bildet ein verschiebbarer Rohrofen mit einer Maximaltemperatur von 1000°C . Er umschließt ein Quarzrohr, in dem die eigentliche Reaktion stattfindet. Abbildung 4.11 zeigt einen schematischen Aufbau der Anlage. Der Arbeitsdruck ist automatisch zwischen 10^{-6} und 100 mbar regelbar. Der Fluss dreier Prozessgase (SiH_4 , H_2 und He) kann computergesteuert über MFC's zwischen 1 und 200 sccm eingestellt werden. Alle drei Gase wurden für das Wachstum der Silizium-Nanowires verwendet.

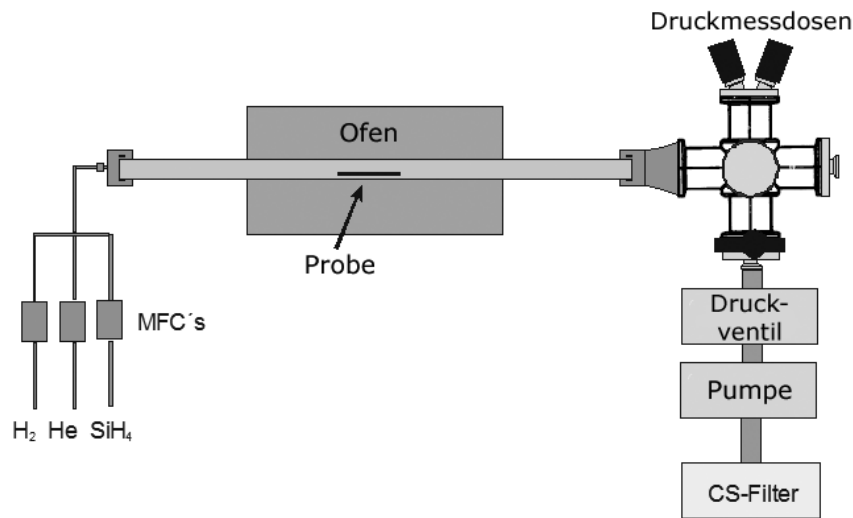


Abbildung 4.11: Schematischer Aufbau der Nanowire-CVD-Anlage.

4.8 ALD-Beschichtung mit Aluminiumoxid

Der Trend zu immer kleineren Strukturen in Halbleiterbauelementen stößt gerade bei isolierenden Materialien an seine Grenzen. Lange Zeit wurde Siliziumdioxid als Gate-Isolator bei Feldeffekttransistoren eingesetzt. Der zunehmende Leckstrom bei abnehmender Schichtdicke stellt jedoch ein fundamentales Problem dar. Der Trend geht daher zu Materialien mit einer höheren Dielektrizitätskonstante, die eine bessere Isolierung bei gleicher Schichtdicke aufweisen. Aluminiumoxid (Al_2O_3) ist ein solches High- κ Material. Es wurde verwendet, um die vertikal kontaktierten Nanowires gleichmäßig mit einer isolierenden Schicht zu überziehen. Al_2O_3 wurde in erster Linie im Hinblick auf eine spätere Realisierung eines Nanowire-Transistors und wegen seiner Funktion als modernes Gate-Dielektrikum gewählt. Das Aufbringen der Al_2O_3 -Schicht erfolgte im ALD-Verfahren.

Atomic Layer Deposition (ALD) ist ein selbst-limitierender chemischer Prozess zur atomlagen-genauen und konformen Abscheidung dünner Filme [60]. Der Mechanismus funktioniert ähnlich wie die CVD-Methode (vgl. Kapitel 4.7) mit Hilfe von Precursor-Molekülen, die oberflächliche Reaktion stoppt

aber selbstständig nach einer einzelnen atomaren bzw. molekularen Schicht. Die gewünschte Schichtdicke kann daher durch die Anzahl der Abscheidezyklen kontrolliert werden. Wird jedem Zyklus genügend Zeit zur Vervollständigung einer Monolage gegeben, so wird die Herstellung hochreiner Schichten auch bei niedrigen Temperaturen ermöglicht.

Kapitel 5

Herstellung des Bauelementes und Charakterisierung

Dieses Kapitel fasst den vollständigen Herstellungsprozess eines vertikalen Nanowire-Bauelements zusammen. Die dafür relevanten Prozesstechnologien wurden in Kapitel 4 genauer erläutert. Der Prozessablauf beinhaltet zwei grundlegend verschiedene Konzepte zur Katalysator-Metallabscheidung. Des Weiteren befasst sich dieses Kapitel mit der elektrischen Charakterisierung der Bauelemente und mit Untersuchungen zum Nanowire-Wachstum.

5.1 Cantilever-Struktur als Basiselement

Den ersten Prozessschritt stellt die Herstellung eines überhängenden Balkens (englisch *Cantilever*) dar. Diese Grundform erlaubt in weiterer Folge ein gezieltes Auftragen des Gold-Katalysators, welcher das eigentliche Wachstum des Nanowires und dessen selbstständige Kontaktierung ermöglicht. Die Cantilever-Struktur ist somit die Basis für zwei nachfolgend realisierte Varianten des Bauelements. Ein Verfahren verfolgt das Ziel, einen dünnen Gold-Film so zu strukturieren, dass ein Nanowire-Wachstum nur unter dem Cantilever stattfinden kann (Kapitel 5.2.1). Der zweite Prozess nützt das inhomogene elektrische Feld zwischen Cantilever und Substrat, um mittels Dielektrophorese die Gold-Kolloide gezielt am Cantilever zu positionieren (Kapitel 5.2.2).

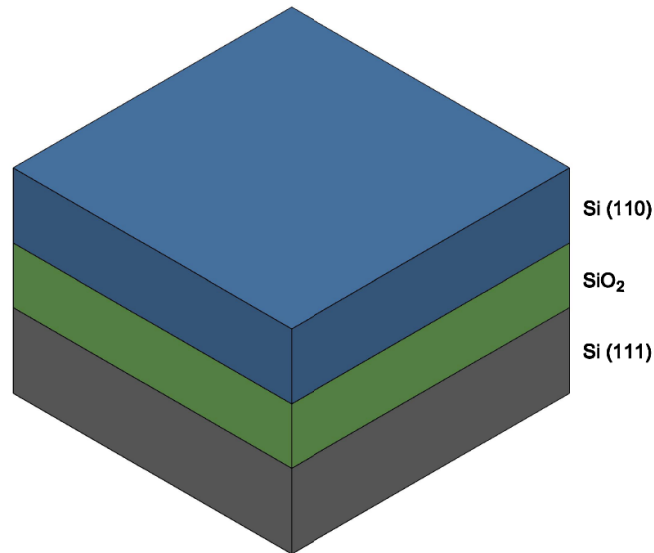


Abbildung 5.1: Silicon on Insulator (SOI) als Ausgangsmaterial.

Der Ausgangspunkt der Grundstruktur ist ein System aus zwei Siliziumschichten, die voneinander durch Siliziumdioxid elektrisch isoliert sind (Abbildung 5.1). Dieser schon in Kapitel 4.1 beschriebene SOI-Wafer weist im Handle-Wafer eine (111) Orientierung, in der oberen Si-Schicht eine (110) Orientierung auf. Beide Silizium-Schichten sind hoch p-dotiert, wobei die untere Schicht einen Widerstand von $<0.03 \Omega\text{cm}$, die Obere einen von $<0.01 \Omega\text{cm}$ aufweist. Aus diesem Wafer wurden dann passende Proben geschnitten und vor ihrer Bearbeitung einer Reinigung unterzogen (siehe Kapitel 4.2).

Der erste Bearbeitungsschritt betrifft die Strukturierung der oberen Siliziumschicht. Sie definiert im Wesentlichen die Herstellung des freistehenden Balkens (vgl. Kapitel 4.3.1). Die in Abbildung 5.2 dargestellte Strukturierung zeigt nur die vorderste Spitze des Cantilevers. Die gedachte Verlängerung nach hinten endet in dem Kontaktpad. Neben der hier dargestellten rechteckigen Form des Cantilevers gab es auch eine spitze Ausführung. Die eigentliche Strukturierung der Siliziumschicht erfolgte durch herkömmliche Fotolithografie und Reaktives Ionenätzen (englisch *Reactive Ion Etching* RIE) im sog. Kryoverfahren mit Schwefelhexafluorid (SF_6) bei einer Temperatur

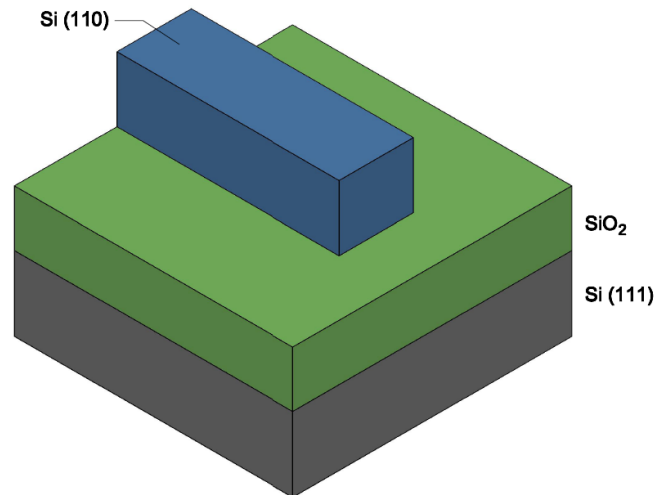


Abbildung 5.2: Strukturierung der oberen Si-Schicht.

von -108°C . Als Ätzmaske diente eine lithografisch strukturierte Lackschicht (AZ5214-E) von ungefähr $1\text{ }\mu\text{m}$ Dicke.

Die nächsten Prozessschritte haben das Ziel, den gewünschten Überhang des Cantilevers zu definieren. Dazu ist es notwendig, das unter der Spitze liegende SiO_2 zu entfernen. Da der Bereich unter dem Cantilever anisotropen Ätzprozessen unzugänglich ist, blieb nur die Wahl einer nasschemischen Ätzung mit HF. Die Verwendung eines Fotolacks als Maske ist beim Gebrauch von HF aber problematisch. Denn gerade HF diffundiert bei langen Ätzprozessen sehr stark in den Lack und kann zu einer großflächigen Ablösung führen. Die HF greift dabei die darunter liegende SiO_2 -Schicht an, wodurch der Lack seine Haftung verliert. Dieser Vorgang kann bei Verwendung von hochkonzentrierter Säure schon in wenigen Minuten zur Zerstörung der Lackschicht führen. Es wurde eine 38%ige, mit Ammoniumfluorid (NH_4F) im Verhältnis 1:7 gepufferte, Flusssäure (BHF) verwendet und eine SiO_2 -Ätzzeit von ca. 1 h veranschlagt (laterale Ätzzeit für die $2\text{ }\mu\text{m}$ dicke Schicht + Aufschlag für eine vollständige Unterätzung des Cantilevers). Aus diesem Grund konnte keine Lackmaske verwendet werden.

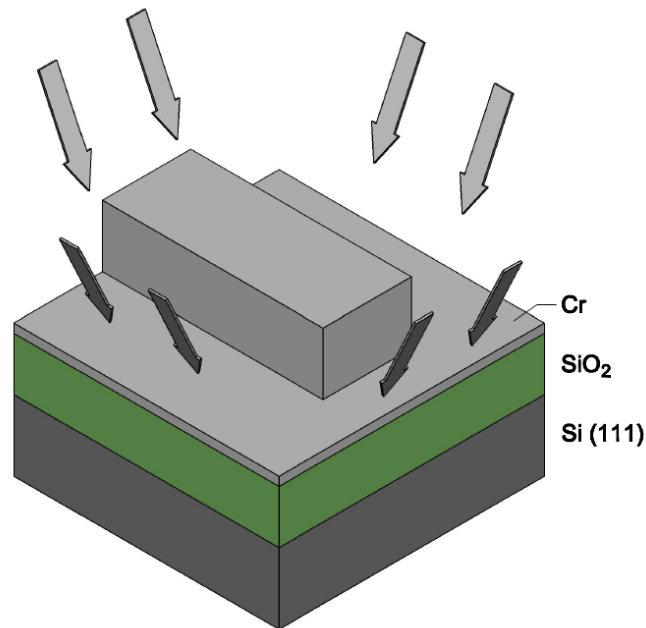


Abbildung 5.3: Aufputtern einer Cr-Schicht.

Die Strukturierung der SiO₂-Schicht erfolgte daher über den Umweg einer Chrom (Cr)-Maske. Cr ist gegen Flußsäure resistent und die Chromätzte ist sehr selektiv und greift keines der anderen Probenmaterialien an [61]. Im ersten Schritt wurde eine Cr-Schicht mittels Sputter-Deposition großflächig abgeschieden (Abbildung 5.3). Um einen ausreichenden Schutz des SiO₂ vor der Flusssäure zu gewährleisten, musste sichergestellt werden, dass auch die, vom leichten Unterätzen der oberen Si-Schicht, nach innen versetzten Kanten vom Chrom bedeckt werden. Deshalb wurde der Sputtervorgang mehrfach in schrägem Winkel zur Oberfläche durchgeführt. Ansonsten würden an den Kanten Risse entstehen, in denen die Flusssäure zur darunter liegenden SiO₂-Schicht vordringen kann. Die Pfeile in Abbildung 5.3 veranschaulichen die vier verschiedenen Richtung der Cr-Abscheidung. Die Cr-Schicht wurde schließlich mit Hilfe einer lithografischen Fotolackmaske und einer Chromätzte strukturiert (Abbildung 5.4).

Die strukturierte Chrom-Schicht diente im nächsten Schritt als Ätzmaske für die HF-Ätzung des darunter liegenden Oxids (Abbildung 5.5). Hierbei ist

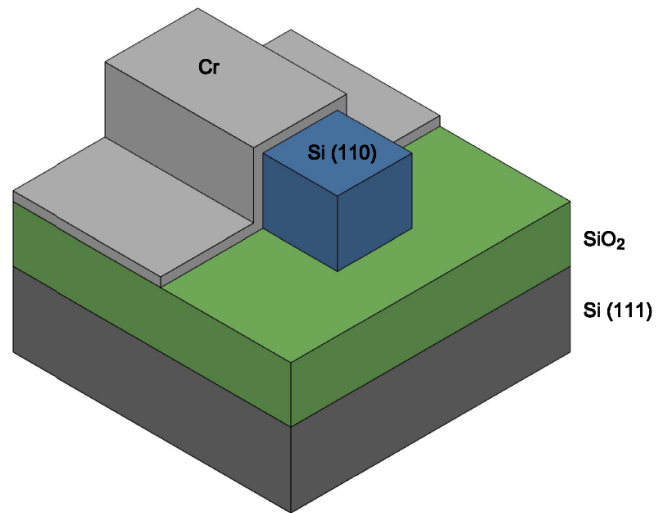


Abbildung 5.4: Strukturierte Cr-Schicht.

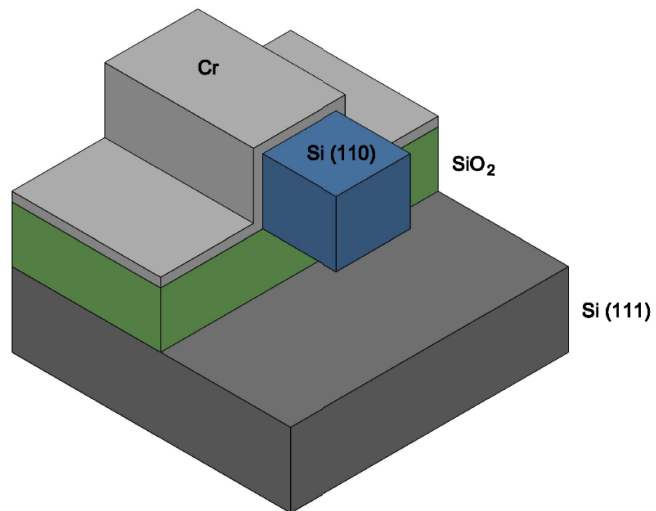


Abbildung 5.5: Ätzen der SiO₂-Schicht.

vor allem die vollständige Entfernung des SiO₂ unter der Cantilever-Spitze wesentlich. Bei der Ausrichtung der Maske musste berücksichtigt werden, dass isotrope nasschemische Ätzprozesse auch zu einer starken Unterätzung führen.

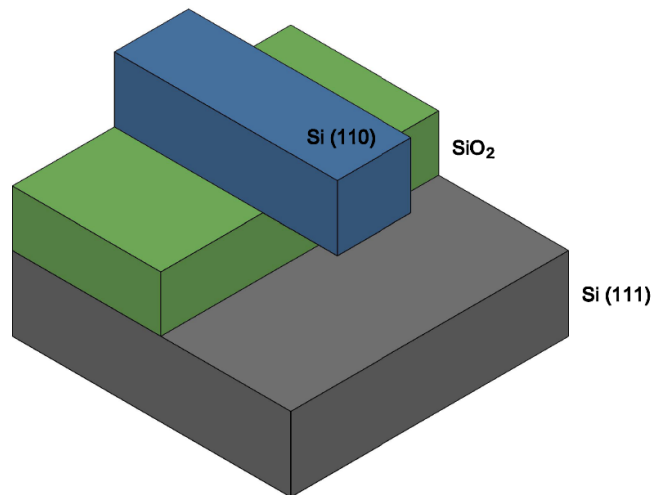


Abbildung 5.6: Überbleibende Balkenstruktur nach HF-Ätzen der SiO_2 -Schicht.

Nach dem Entfernen der Chrom-Schicht zeigte sich die fertige Cantilever-Struktur (Abbildung 5.6). Sie diente nun als Basis für die weitere Prozessierung auf dem Weg zum vertikalen Nanowire-Bauelement.

5.2 Abscheidung des Au-Katalysators in einem selbstjustierten Verfahren

In diesem Abschnitt werden nun die zwei Verfahren zur Abscheidung des Katalysator-Metalls beschrieben. Diese bauen auf der zuvor entwickelten Cantilever-Struktur auf. Die Prozesse sind selbstjustierend, weshalb es für die gezielte Positionierung der Gold-Wachstumskeime keiner zusätzlichen Masken bedarf. Eine Methode basiert auf der Abscheidung eines dünnen Gold-Films, die andere auf dem Aufbringen von Au-Kolloiden mittels Dielektrophorese. Bestreben beider Verfahren ist die gezielte Positionierung von Gold unter dem Cantilever. Aus den mit Gold bedeckten Flächen sollen in Folge die Nanowires wachsen und eine vertikale Brücke zwischen Substrat und Cantilever herstellen.

5.2.1 Strukturierte Oxidmaske mit Au-Film

Das hier beschriebene Verfahren verwendet eine dünne Gold-Schicht als Verarbeitungsbasis und bedient sich des, in Kapitel 4.5 beschriebenen, Lift-Off-Prozesses mit Flusssäure (HF). Um das Gold abzuscheiden, ist eine strukturierte Schicht von gesputtertem Siliziumoxid (SiO_x) notwendig. Durch ausreichende SiO_x -Dicke und adäquate Ätzraten kann das Au an nicht gewünschten Stellen einfach weggespült werden. Übrig bleibt ein kleiner mit Gold beschichteter Bereich direkt unter der Spitze des Cantilevers.

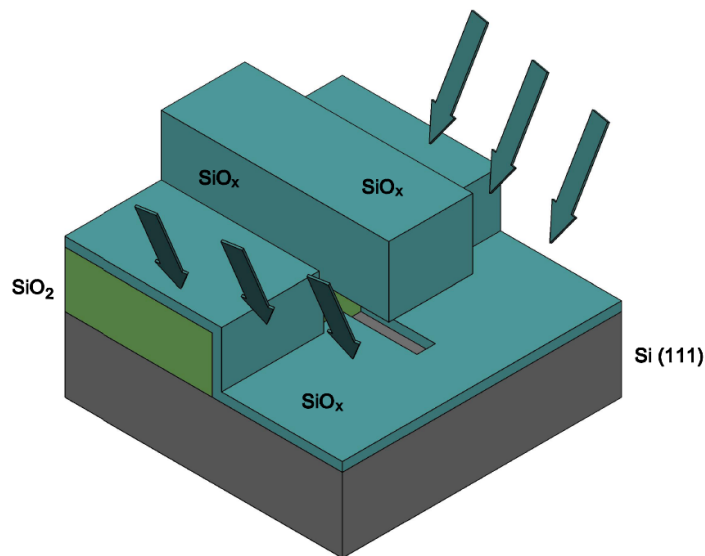


Abbildung 5.7: Aufbringen der SiO_x -Schicht.

Die SiO_x -Schicht wurde mit Hilfe der Sputter-Deposition aufgebracht. Dieser gerichtete Prozess muss mehrfach, mit unterschiedlichem Auftreffwinkel erfolgen. Zuerst wurde die Probe von links und dann von rechts mit SiO_x besputtert (Abbildung 5.7). Der Einstrahlwinkel definiert dabei die SiO_x -freie Zone unter dem Cantilever. Durch leichte Verdrehung nach vorne konnte auch die Stirnfläche des Cantilevers mit SiO_x bedeckt werden.

Im nächsten Prozessschritt wird der dünne Gold-Film auf die Probe aufgebracht (Abbildung 5.8). Dieser Sputterprozess wurde wieder in einem schrägen Winkel zur Oberfläche ausgeführt. Diesmal wurde die Probe so verkippt,

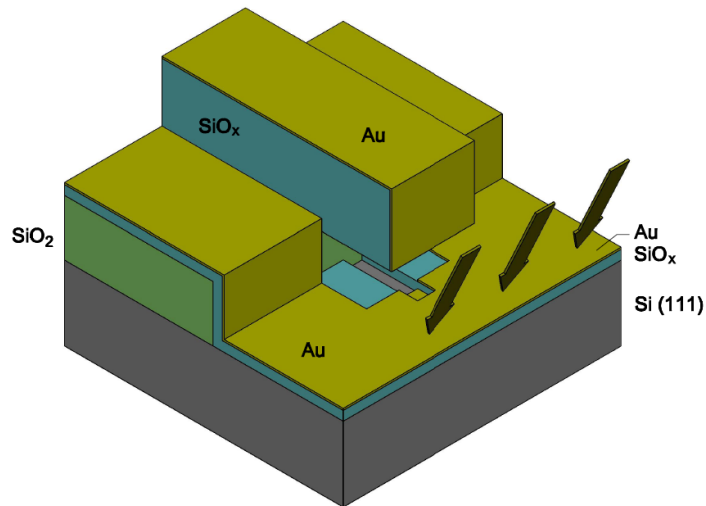


Abbildung 5.8: Aufbringen der Au-Schicht.

dass das Gold einen schmalen rechteckigen Bereich unterhalb der Cantilever-Spitze ausfüllte. Durch die Kombination dieser beiden Schritte ergibt sich also ein Bereich unter dem Cantilever, in dem das Gold direkt am Substrat aufliegt.

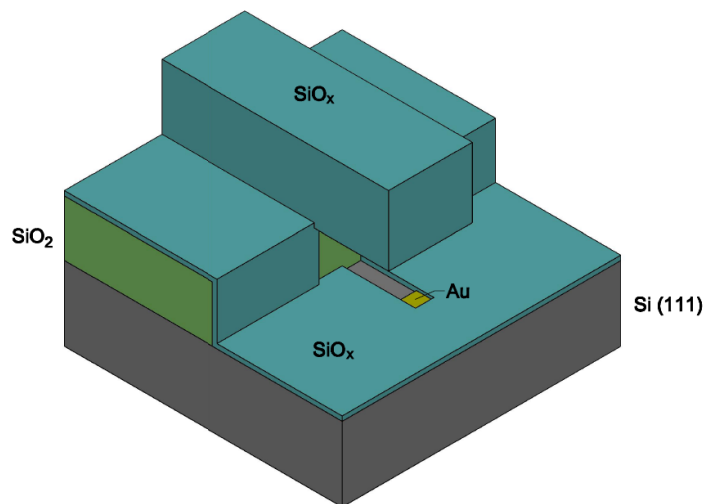


Abbildung 5.9: Lift-Off mit HF.

Anschließend wurde das restliche Gold auf der SiO_x -Schicht mittels des schon beschriebenen HF-Lift-Off-Prozesses entfernt (Abbildung 5.9). Das Gold unter dem Cantilever bleibt dabei unangetastet. Durch Rückätzung des übriggebliebenen Siliziumoxids erhält man die gewünschte Ausgangsstruktur für das Nanowire-Wachstum (Abbildung 5.10).

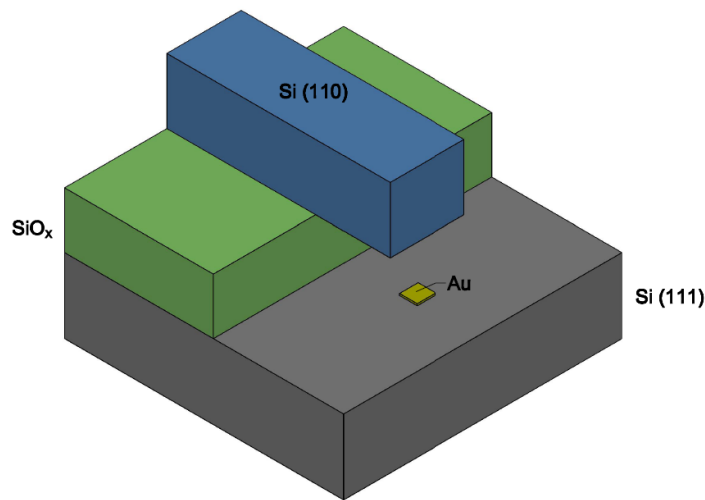


Abbildung 5.10: Definierte Gold-Schicht unterhalb des Cantilevers.

5.2.2 Dielektrophorese mit Au-Kolloiden

Eine weitere Möglichkeit, das Katalysatormetall unter dem Cantilever zu positionieren, ist die Anwendung der Dielektrophorese (vgl. Kapitel 4.6). Dabei werden Au-Kolloide in einem inhomogenen Wechselfeld in Richtung der größeren Feldstärken gezogen, vorausgesetzt sie können sich im Medium frei bewegen. Die Spitze des Cantilevers stellt einen solchen Bereich erhöhter Feldstärke dar und dient im nachfolgend beschriebenen Prozess zur Fixierung der Gold-Kolloide am Cantilever.

Als Erstes wurde die kolloidale Lösung mit einer Pipette auf die Probe bzw. das Bauelement aufgetragen (Abbildung 5.11). Durch Anlegen einer Wech-

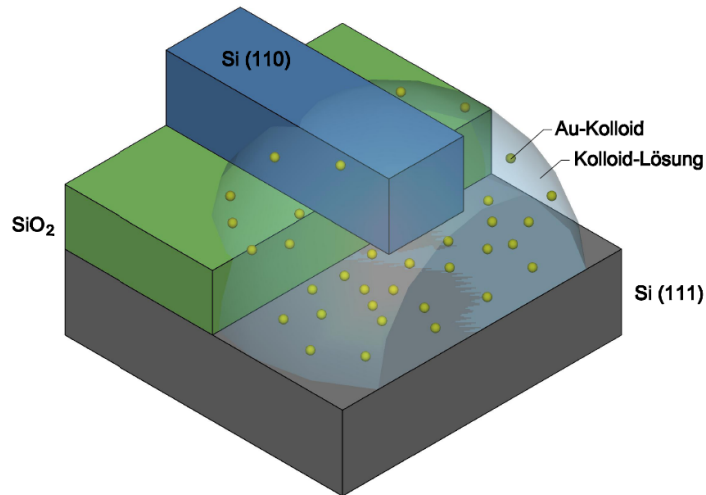


Abbildung 5.11: Kolloidale Lösung am Bauelement.

selspannung wirkt eine dielektrische Kraft auf die metallischen Gold-Partikel. Die Folge ist ein Massentransport der Kolloide in Richtung höherer Feldstärke, also in Richtung der Cantilever-Spitze (Abbildung 5.12).

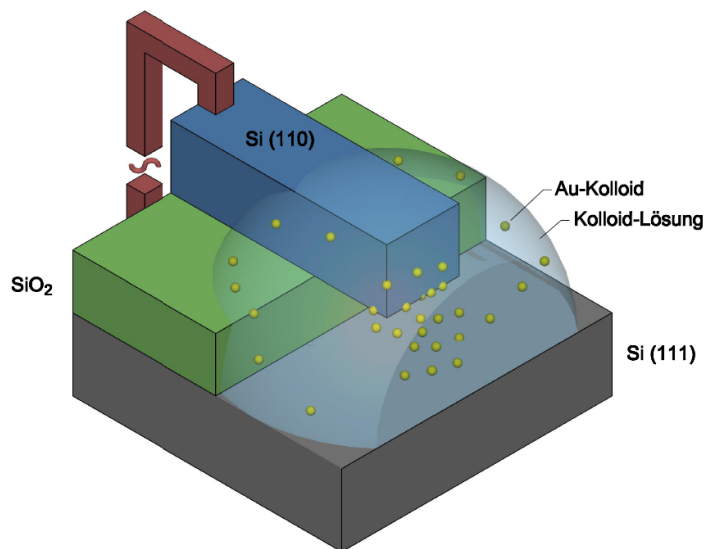


Abbildung 5.12: Anordnen der Kolloide durch Anlegen einer Wechselspannung.

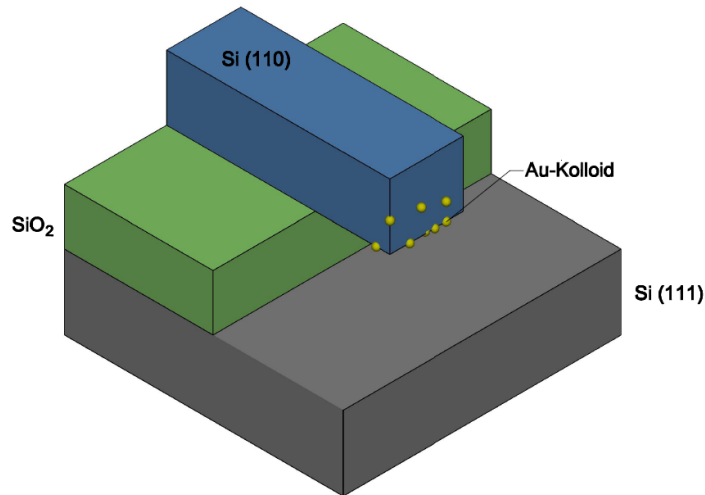


Abbildung 5.13: Kolloide am Cantilever.

Erreichen einzelne Partikel den Cantilever, so bleiben sie dort haften. Durch rechtzeitiges Ausschalten der angelegten Wechselspannung und mittels einer definierten Partikeldichte in der Lösung, lässt sich die Anzahl der Kolloide am Cantilever steuern. Die restlichen Kolloide werden durch Wegblasen der Flüssigkeit von der Probe entfernt und es bleiben nur die Gold-Partikel an der Unterseite des Cantilevers übrig (Abbildung 5.13). Hierbei ist besonders auf eine rasche Abfolge der Prozessschritte zu achten, da bei Eintrocknen des Tropfens Kolloide auf der Oberfläche liegen bleiben.

5.3 Kontrolliertes Wachstum der Nanowires

Nach Fertigstellung des Basiselements und Aufbringen des Gold-Katalysators wird in diesem Kapitel nun das Wachstum der Nanowires behandelt. Zuerst wird die Untersuchung der Keimbildungsphase beschrieben, danach der optimale Wachstumsprozess. Ziel ist die kontrollierte Synthese epitaktisch gewachsener, stäbchenförmiger, vertikaler Nanowires. Im letzten Teil werden die gewonnenen Erkenntnisse am eigentlichen Bauelement angewendet.

5.3.1 AFM-Untersuchungen zur Keimbildungsphase

Im Rahmen dieser Arbeit wurde auch das Atomkraftmikroskop (englisch *Atomic Force Microscope* AFM) verwendet. Im Speziellen wurde die Tropfenbildung einer dünnen Gold-Schicht beim Aufheizen untersucht, sowie der Beginn des eigentlichen Wachstumsprozesses. Bei der AFM-Messung wird mit einer extrem kleinen Spitze die Oberfläche einer Probe abgerastert. Die vertikale Auslenkung auf Grund der Oberflächenstruktur wird registriert und ist ein Maß für die, zwischen Spitze und Oberfläche wirkenden, atomaren Kräften. Die hier durchgeführten AFM-Messungen beschränken sich auf reine Topographieaufnahmen.

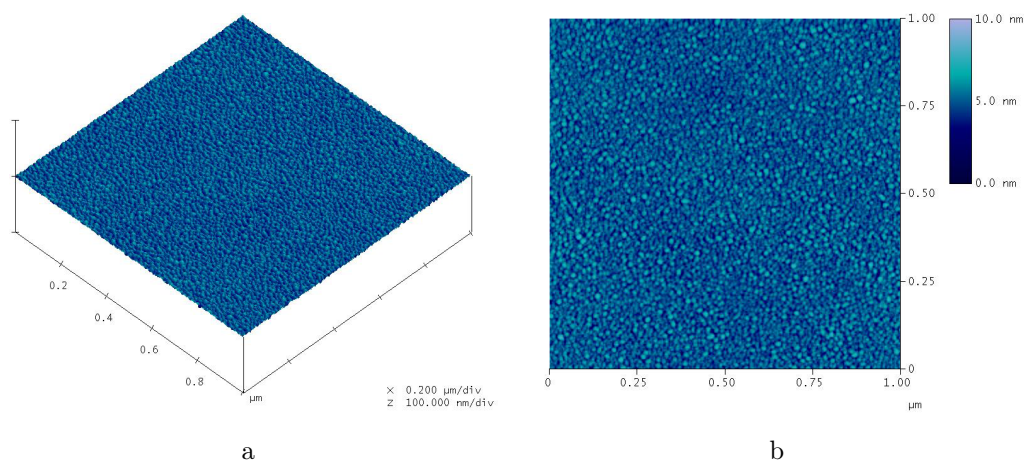


Abbildung 5.14: AFM-Aufnahme einer 2 nm gesputterten Au-Schicht auf einem Si-Substrat.

Ausgangspunkt der Untersuchung war ein Silizium-Substrat, auf das eine 2 nm dicke Goldschicht gesputtert wurde. Die AFM-Aufnahme in Abbildung 5.14 zeigt die körnige Struktur der ca 2 nm dicken, aufgesputterten Au-Schicht. Diese typische Oberflächenrauigkeit rührt von einer 5-10 nm großen Clusterbildung der Gold-Atome her. Daher ist diese dünne Schicht nicht geschlossen und andere Stoffe können leicht auf das darunterliegende Substrat durchdringen.

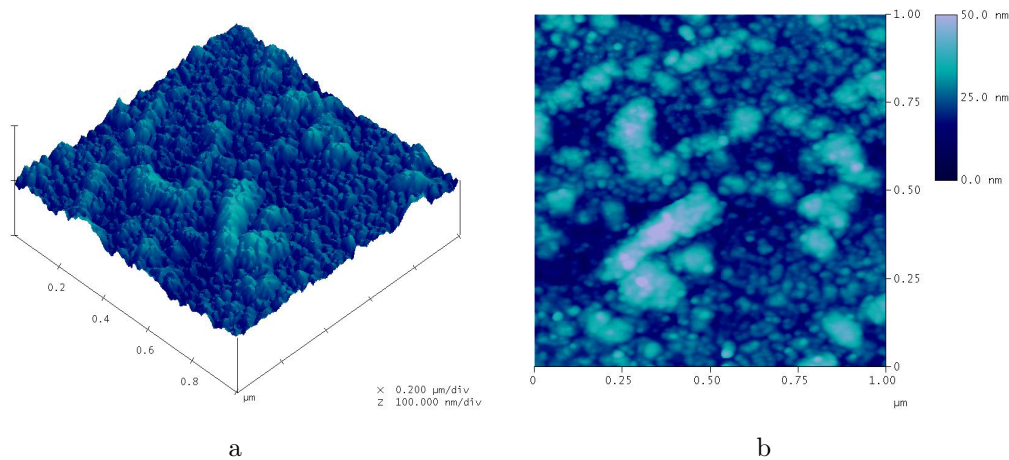


Abbildung 5.15: AFM-Aufnahme einer 1-2 nm gesputterten Au-Schicht auf einem Si-Substrat nach Aufheizen auf 500°C.

Im nächsten Schritt wurde die Probe auf 500°C erhitzt. Bei Erreichen der eutektischen Temperatur von Silizium und Gold beginnt die Bildung einer Legierung (vgl. Kapitel 4.4.1). Die Ostwald Reifung führt schließlich zur Tropfenbildung auf der Oberfläche. Die AFM-Aufnahme in Abbildung 5.15 bestätigt diese typische Clusterbildung. Diese Legierungstropfen stellen die Wachstumskeime der Nanowires dar.

Schließlich wurde die Probe einem verkürzten Nanowire-Syntheseprozess unterzogen. Dieser wurde nach 20 min abgebrochen, um die Anfangsphase des Nanowire-Wachstums zu dokumentieren. Die AFM-Aufnahme in Abbildung 5.16a, 5.16b und die REM-Aufnahme der selben Probe in Abbildung 5.16c zeigt, dass nach dieser Zeit bereits Nanowires entstanden sind. Die unterschiedliche Höhe der Wires veranschaulicht, dass der Nukleationsvorgang zu unterschiedlichen Zeitpunkten stattgefunden hat. Die Dichte der Nanowires entspricht noch nicht der von länger gewachsenen Proben. Gerade in der REM-Aufnahme sind noch immer viele Legierungstropfen erkennbar.

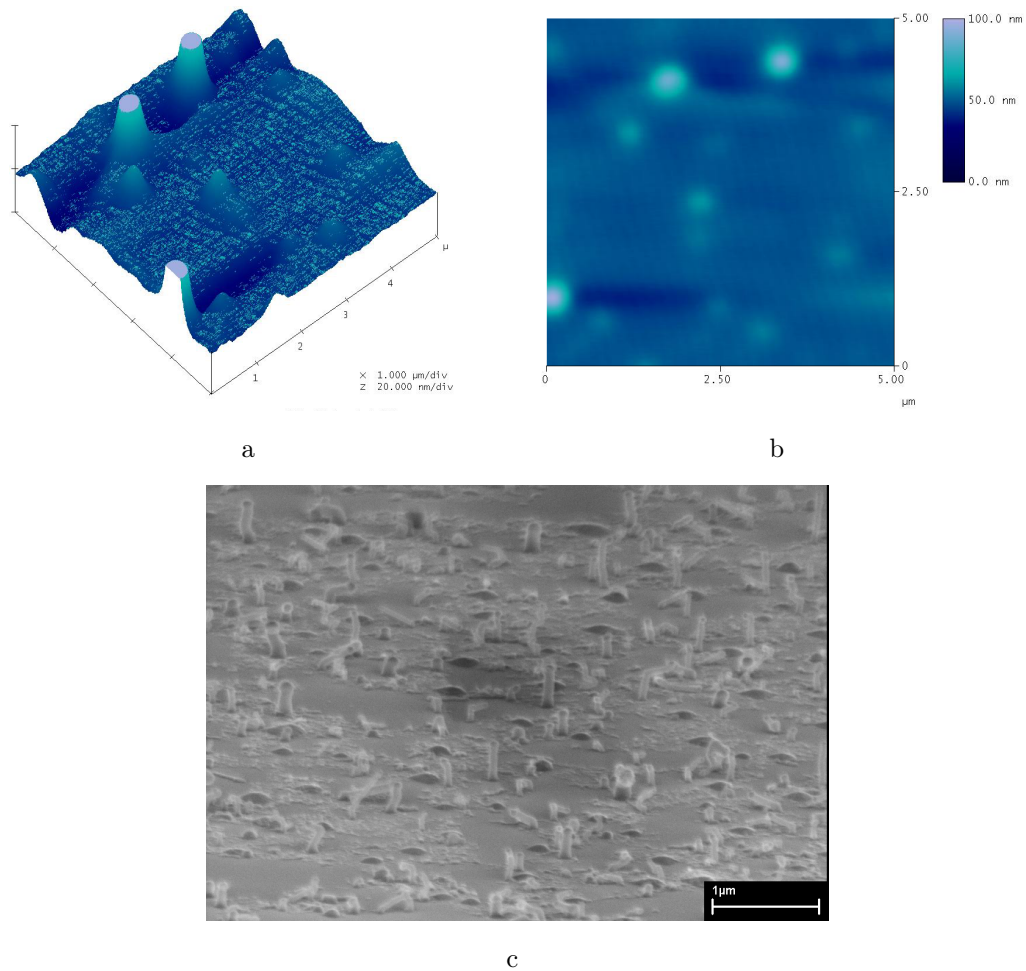


Abbildung 5.16: In Bild (a,b) ist die AFM-Aufnahme einer 1-2 nm gesputterten Au-Schicht auf einem Si-Substrat nach 20-minütigem Nanowire-Wachstum dargestellt. Bild (c) zeigt die REM-Aufnahme derselben Probe.

5.3.2 Nanowire Wachstum

Einer der wichtigsten Schritte der Bauelement-Herstellung ist das Nanowire-Wachstum. Dieser heikle Prozess wird von einer Vielzahl von Parametern beeinflusst, deshalb mussten die optimalen Bedingungen für epitaktisches und vertikales Wachstum erst durch zahlreiche Wachstumsversuche ermittelt werden.

Besonders wichtig ist die Probenvorbehandlung vor dem eigentlichen Wachstum. Eine dünne Goldschicht auf einer Siliziumoberfläche kann zur Bildung einer Oxidschicht führen. Obwohl bei Gold keine Oxidation auftritt, kann es als Katalysator für die Bildung einer solchen Schicht dienen. Dieser Effekt wurde schon um 1970 das erste Mal beschrieben [62]. Dabei bewirkt die Diffusion von Silizium durch die dünne Goldschicht die Bildung eines Siliziumdioxid-Überzugs. Untersuchungen haben gezeigt, dass ein solcher Film das Wachstum der Wires fast vollständig unterdrücken kann [63]. Abhilfe schafft die Vorbehandlung mit Flusssäure, die das Oxid entfernt und eine erneute Bildung durch Absättigung der Goldschicht unterdrückt. Im Speziellen wurden die Proben kurz vor dem Wachstumsprozess für 15 s in eine 38%ige, mit Ammoniumfluorid (NH_4F) im Verhältnis 1:7 gepufferte, Flusssäure (BHF) getaucht.

Bei der Herstellung des Bauelements werden hohe Anforderungen an die Qualität der Nanowires gestellt. Sie müssen in erster Linie epitaktisch und senkrecht wachsen, sie sollen aber auch einen guten Kontakt zum Substrat und Cantilever herstellen. Außerdem sollten ihre elektrischen Eigenschaften durch möglichst keine anderen Wachstumseffekte beeinflusst werden. Die Voraussetzung für das aufrechte Wachstum aus der, unter dem Cantilever liegenden Au-Schicht, wurde bereits durch das geeignete Substrat geschaffen. Laut Kapitel 2.1.4 gibt es bei (111) orientiertem Silizium vier epitaktische Wachstumsrichtungen. Untersuchungen haben aber gezeigt, dass die vertikale Richtung im Falle eines (111) Substrats energetisch bevorzugt ist [28]. Es ist jedoch die Abhängigkeit der Wachstumsrichtung vom Durchmesser der Nanowires zu berücksichtigen. Wie ebenfalls schon in Kapitel 2.1.4 beschrieben, wachsen Si-Nanowires erst ab einem Durchmesser größer 40 nm in die $\langle 111 \rangle$ Richtung. Durch Größenselektion der Wachstumskeime lässt sich der Wire-Durchmesser aber leicht steuern. Im Falle eines Gold-Films kann die Größe der Tropfenbildung beispielsweise durch unterschiedliche Schichtdicken des Au-Films geregelt werden (vgl. Kapitel 4.4.1).

In Abbildung 5.17 ist der durchgeführte Wachstumsprozess in Form eines Diagramms grafisch veranschaulicht. Nach dem Einschleusen der Probe in

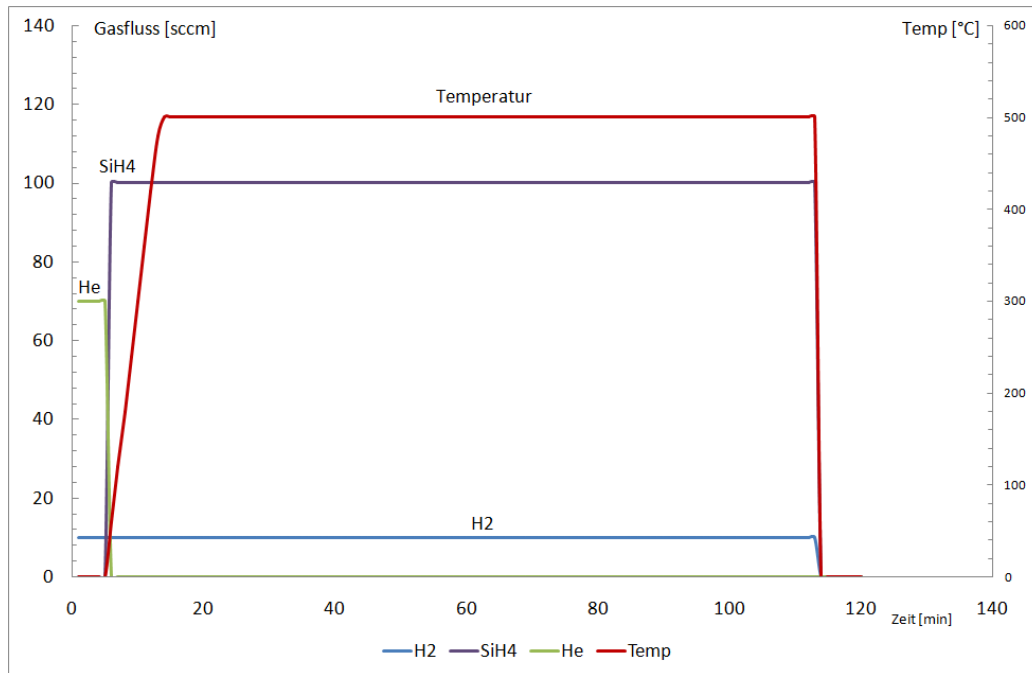


Abbildung 5.17: Wachstumsparameter der Nanowire-Synthese.

den CVD-Ofen (siehe Kapitel 4.7) wurde die Kammer (Glasrohr) abgepumpt, um jegliche Restgase zu entfernen. Der Arbeitsdruck wurde auf 3 mbar eingestellt. Die Wachstumsversuche haben gezeigt, dass bei diesem Druck sehr gute Ergebnisse erzielt werden. Schließlich wurde die Kammer noch für 5 min mit He gespült. Der Aufheizvorgang erfolgte mit einer Rate von 60°C/min und einer Zieltemperatur von 500°C. Diese Wachstumstemperatur wurde schließlich für 100 min aufrecht erhalten. Gleichzeitig wurde die Kammer mit dem, für den Vapor-Liquid-Solid (VLS) Mechanismus notwendigen, Precursor-Gas SiH₄ (2% in He) gespült. Dabei wurde ein Massenfluss des Gases von 100 sccm eingestellt. Zusätzlich wurde Wasserstoff (H₂) mit 10 sccm eingelassen. Untersuchungen haben gezeigt, dass Wasserstoff das radiale Wachstum der Wires weitestgehend unterdrücken kann, indem er eine Adsorption von SiH₄ durch Passivierung des Siliziums verhindert [25]. Durch den Passivierungsprozess wird gleichzeitig auch die Oberflächenrauhigkeit der Wires entscheidend reduziert.

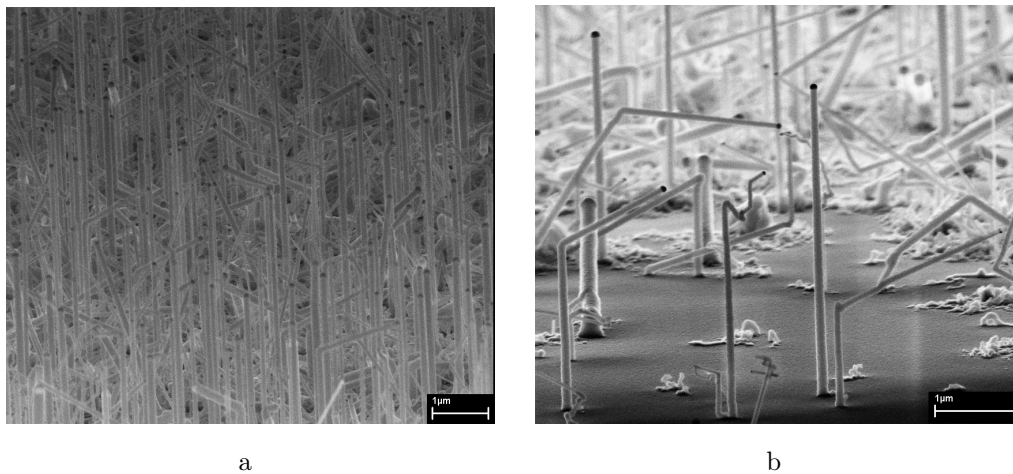


Abbildung 5.18: Im CVD-Ofen synthetisierte Nanowires.

Für die vertikale Länge von Substrat und Cantilever waren Nanowires von ca. $2\text{ }\mu\text{m}$ erforderlich. Aus der Messung verschiedener Wachstumsproben konnte schließlich auf eine nötige Wachstumsdauer von 100 min rückgeschlossen werden. Das eigentliche Wachstum begann nach Erreichen der Temperatur von 500°C . Die REM-Aufnahmen in [Abbildung 5.18](#) zeigen das typische Ergebnis eines Wachstumsprozesses, bei dem eine ca. 1-2 nm dicke Goldschicht als Katalysator verwendet wurde.

Zusätzlich wurde der epitaktische Übergang zwischen Substrat und Nanowire im Transmissionselektronenmikroskop (TEM) untersucht ([Abbildung 5.19](#)). Hierfür wurde eine Probe mit vielen aufrecht gewachsenen Nanowires herangezogen und für Querschnittsaufnahmen vorbereitet. Dieses hochauflösende Verfahren zeigt deutlich, dass es sich tatsächlich um einen nahezu perfekten epitaktischen Übergang vom Substrat zum Nanowire handelt. Bei dem, durch Pfeile gekennzeichneten, Übergang setzt sich die Kristallstruktur Atomlage für Atomlage gleichmäßig fort. Dieses Ergebnis spricht für einen ausgereiften Wachstumsprozess, welcher sich für die Entwicklung eines Bauelements mit qualitativ hochwertigen elektrischen Kontakten eignet.

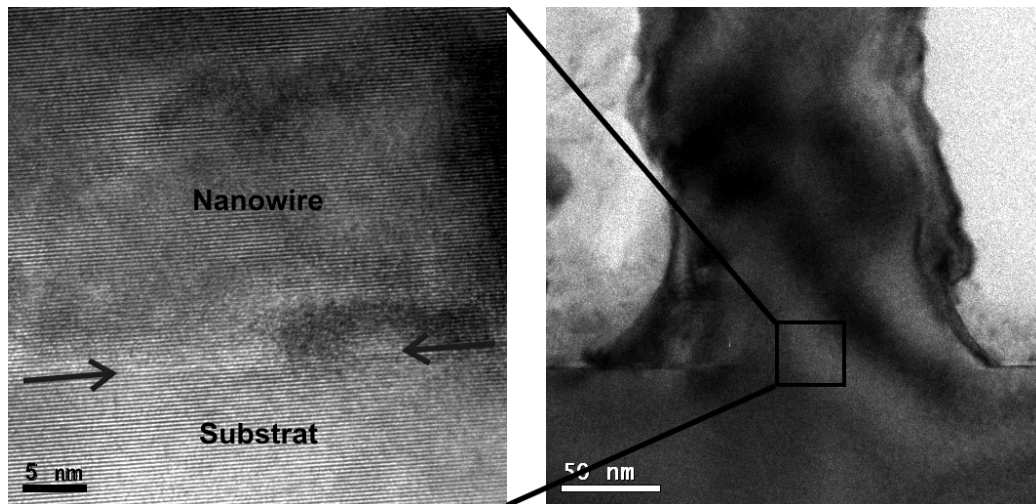


Abbildung 5.19: Epitaktischer Übergang vom Substrat zum Nanowire (TEM-Aufnahme).

5.3.3 Nanowire Wachstum am Bauelement

Der im vorigen Kapitel erarbeitete Wachstumsprozess wurde schließlich auf das Bauelement angewendet. Die mit einer Gold-Beschichtung oder Kolloiden vorgefertigten Cantilever-Strukturen (vgl. Kapitel 5.2.1 und 5.2.2) durchliefen den 100-minütigen Nanowire-Wachstums-Prozess, der schließlich zur Fertigstellung des vertikalen Nanowire-Bauelements führte. In Abbildung 5.20 sind exemplarische REM-Aufnahmen der fertigen Struktur dargestellt.

Die hier gezeigten Bilder verdeutlichen, dass sich mit dem beschriebenen Prozess Bauelemente kontrolliert herstellen lassen. Von großem Vorteil ist die vertikale, äußerst kompakte Bauweise. Ein Vergleich der beiden Aufbringungsarten des Wachstums-Katalysators (vgl. Kapitel 5.2.1 und 5.2.2) zeigte keinen signifikanten Unterschied hinsichtlich der Qualität.

Diese Grundstruktur eines Nanowire-Bauelements stellt die Basis für einen vertikalen Transistor dar. Nach Überziehen des Wires mit einer dielektrischen Schicht kann ein Gate-Anschluss in Wrap-around-Bauweise erzeugt werden (vgl. Kapitel 2.2.3).

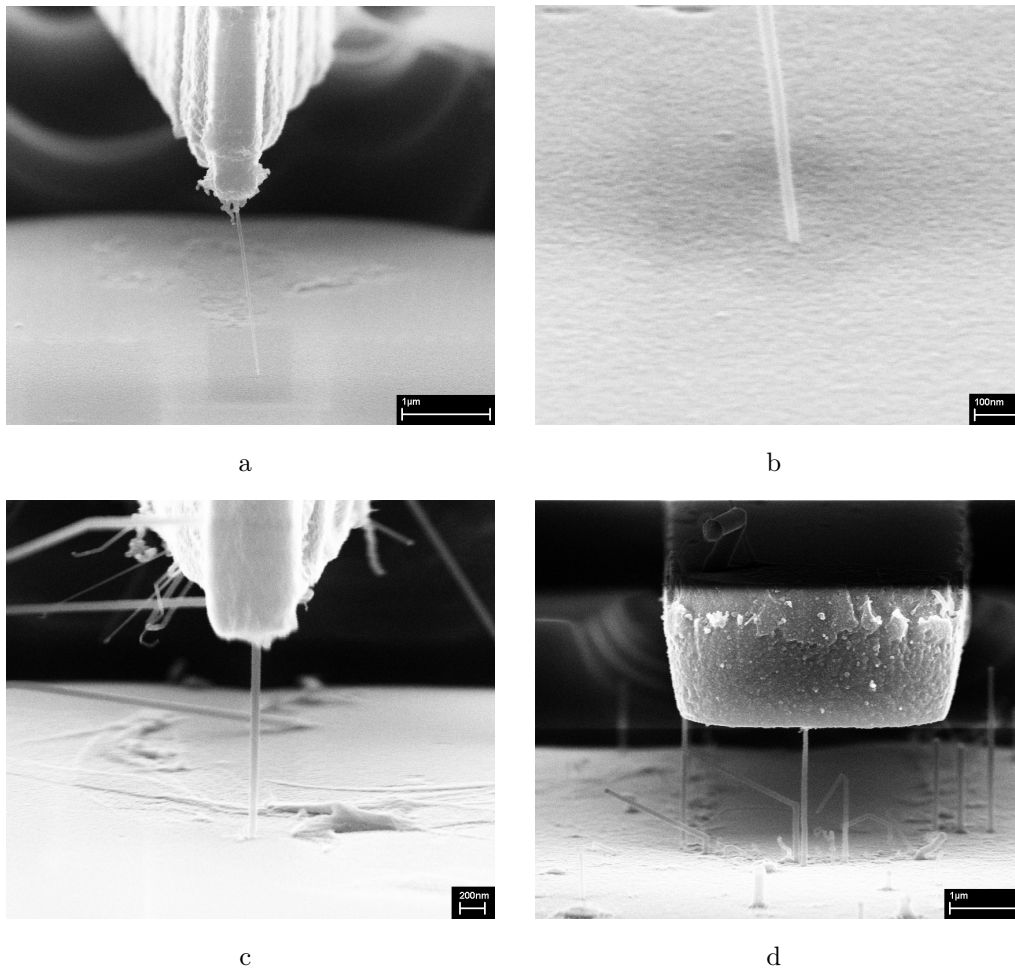


Abbildung 5.20: Fertiges Nanowire-Bauelement. In Bild (a) wurde das Wachstum des Nanowires durch Au-Kolloide an der Spitze des Cantilevers initiiert. Abbildung (b) zeigt eine Vergrößerung der selbstkontaktierten Anschlussstelle. Ein dünner, mittels Siliziumoxidstrukturierung hergestellter, Au-Film diente in Bild (c) und (d) als Wachstumskeim.

5.4 Elektrische Charakterisierung

Ein derartiges Bauelement ist wegen seiner selbstkontaktierten Nanowires in elektrischer Hinsicht besonders interessant. Im folgenden Abschnitt werden die Ergebnisse von Strom-Spannungs-Messungen diskutiert, sowie der Einfluss der dielektrischen Beschichtung beschrieben.

5.4.1 Der Metall-Halbleiter-Kontakt

Bringt man ein Metall und einen Halbleiter in direkten Kontakt, zeigt sich unter gewissen Voraussetzungen ein ohmsches Verhalten. Typischerweise bildet sich an der Grenzfläche aber eine Potentialbarriere mit gleichrichtenden Eigenschaften aus. Aufgrund der Arbeiten von Walter Schottky zur Theorie des Metall-Halbleiter-Kontakts [64] wird ein solcher Übergang heute häufig als Schottky-Kontakt bezeichnet.

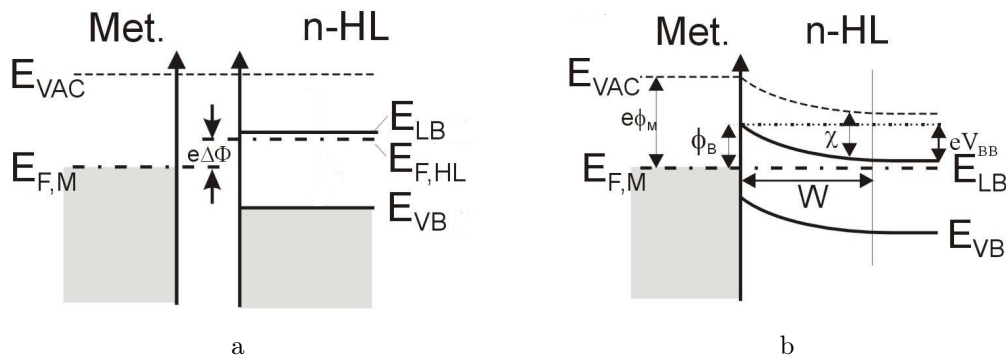


Abbildung 5.21: Bandstruktur eines Metall-Halbleiter-Kontakts (a) vor dem Kontakt und (b) leitend verbunden. $E_{(VAC,F,VB,LB)}$: Vakuumniveau, Fermi-niveau, Valenzbandkante, Leitungsbandkante; χ : Elektronenaffinität; ϕ_B : Höhe der Schottky-Barriere; eV_{BB} : Bandverbiegung; $e\Delta\phi$: Kontaktpotential.

Die bestimmende Größe ist der Potentialverlauf an der Grenzfläche zwischen Metall und Halbleiter. In Abbildung 5.21 ist die Bandstruktur eines Metall-Halbleiter-Übergangs unter der Annahme eines n-dotierten Halbleiters dargestellt. Vor der Kontaktbildung liegt das Fermi-niveau des Halbleiters im Vergleich zum Metall bei höherer Energie (Abbildung 5.21a). Bringt man das Metall und den n-Halbleiter jedoch in leitenden Kontakt (Abbildung 5.21b), erfolgt solange ein Ladungstransfer von Elektronen aus dem Halbleiter ins Metall, bis sich das Fermi-niveau des Halbleiters an das Niveau des Metalls angeglichen hat. Dabei bildet sich im Halbleiter eine Raumladungszone. Die Höhe der Energieabsenkung entspricht der Differenz der Austrittsarbeit der beiden Materialien. Die Verbiegung des Leitungsbandes veranschaulicht die Spannungsbarriere, welche die verbleibenden Elektronen im n-Halbleiter

überwinden müssen, um ins Metall zu gelangen. Dieser Metall-Halbleiter-Kontakt weist eine nichtlineare Strom-Spannungscharakteristik auf und entspricht einer typischen Diodenkennlinie.

Um einen ohmschen Kontakt herzustellen, kann die Kontaktfläche des Halbleiters stark n^+ dotiert werden. Die Raumladungszone wird dadurch sehr dünn und die Elektronen können die Barriere aufgrund des Tunneleffekts leicht überwinden. Ein solcher Kontakt weist eine lineare bzw. ohmsche Strom-Spannungskennlinie auf.

5.4.2 Der Messaufbau

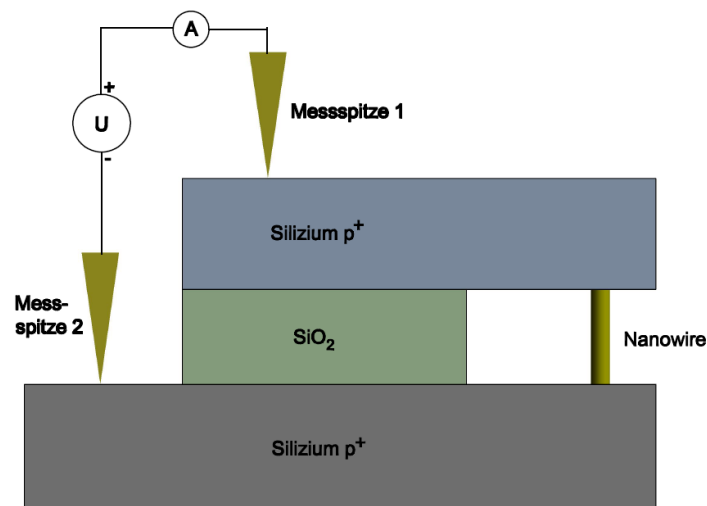


Abbildung 5.22: Messanordnung für die elektrische Charakterisierung des Bauelements.

Die elektrische Charakterisierung wurde am Spitzenmessplatz durchgeführt und die Kennlinien mit einem HP-Semiconductor Analyser aufgenommen. Abbildung 5.22 zeigt eine schematische Darstellung der Messanordnung. Dabei wurde die obere Siliziumschicht am dafür vorgesehenen Kontaktpad, und das Substrat mit den Messspitzen kontaktiert. Es wurde darauf geachtet, dass beide Abnehmer in etwa denselben Abstand zum Nanowire haben. Der Metall-Halbleiter-Übergang der metallischen Messspitzen zum Silizium ist

dabei aufgrund der hohen Dotierung rein ohmsch und hat daher keine signifikante Auswirkung auf die Messergebnisse.

5.4.3 Strom-Spannungs-Messungen

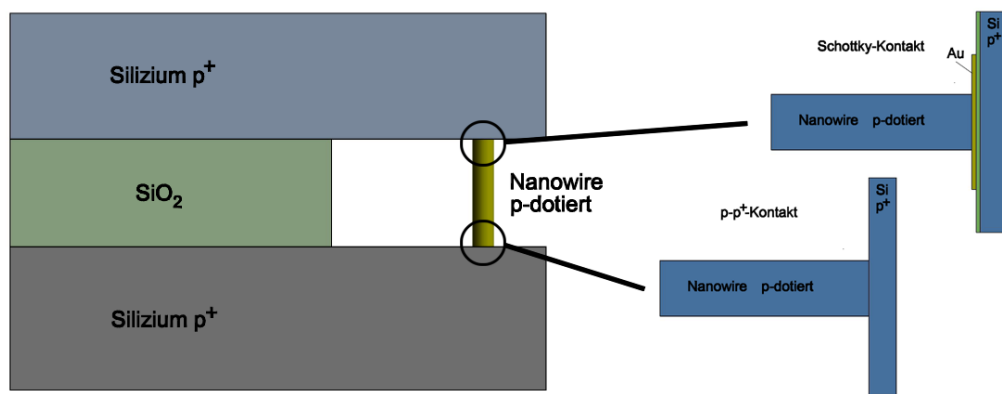


Abbildung 5.23: Nanowire-Kontakte. Der Nanowire weist eine leichte p-Dotierung auf. Beim unteren Kontakt zum Substrat handelt es sich um einen $p\text{-}p^+$ -Übergang, beim Oberen, aufgrund der nicht vollständigen Verdrängung des Au-Katalysators, um einen Schottky-Kontakt.

Bei den Messungen am Bauelement wird ausschließlich der Stromfluss von den beiden hochdotierten Siliziumflächen durch den Nanowire, in Abhängigkeit der elektrischen Spannung, erfasst. Dieser Strompfad ist vor allem durch den Nanowire, aber auch durch die beiden Kontakte zu den Silizium-Flächen charakterisiert (Abbildung 5.23). Der Nanowire selbst weist dabei eine leichte p-Dotierung auf, wie sie für VLS-gewachsene Nanowires aus Au-Katalysatoren typisch ist. Der untere Kontakt zum Substrat ist daher ein Übergang von einem leicht p-dotierten Si-Nanowire zu einem hoch p-dotierten Siliziumsubstrat ($p\text{-}p^+$ -Übergang). Im Gegensatz dazu handelt es sich bei der oberen Verbindungsstelle, durch die meist nicht vollständige Verdrängung des Au-Katalysators während des Anwachsens (siehe Selbstkontaktierungsmechanismus in Kapitel 2.2.1), um einen Schottky-Kontakt zwischen Nanowire und Gold. Der Kontakt von Gold und oberer Siliziumschicht hat aufgrund der hohen Dotierung des Siliziums einen ohmschen Charakter.

Die zu erwartende Strom-Spannungs-Charakteristik ist daher durch zwei Diodenkennlinien geprägt. Einerseits durch den $p\text{-}p^+$ -Übergang und andererseits durch den Schottky-Kontakt. In Abbildung 5.24 ist das Ersatzschaltbild dieser Anordnung dargestellt.

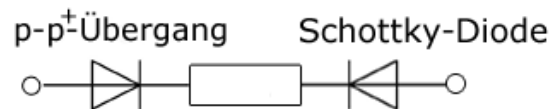


Abbildung 5.24: Ersatzschaltbild des Nanowire-Bauelements.

Zum Vergleich mit dem Messergebnis ist in Abbildung 5.25 eine ideale Diodenkennlinie dargestellt. Der Strom durch die Diode nimmt exponentiell mit der angelegten Spannung zu. Bei negativen Spannungswerten sperrt die Diode bis es zu einem sog. Durchbruch kommt. Dieser tritt in der Regel erst bei hohen Spannungen auf. Aufgrund von Leckströmen zeigt sich im Sperrbereich ebenfalls ein geringer Stromfluss. Dieser sog. Sperrstrom ist stark spannungs- und temperaturabhängig und wird vom jeweiligen Herstellungsprozess beeinflusst.

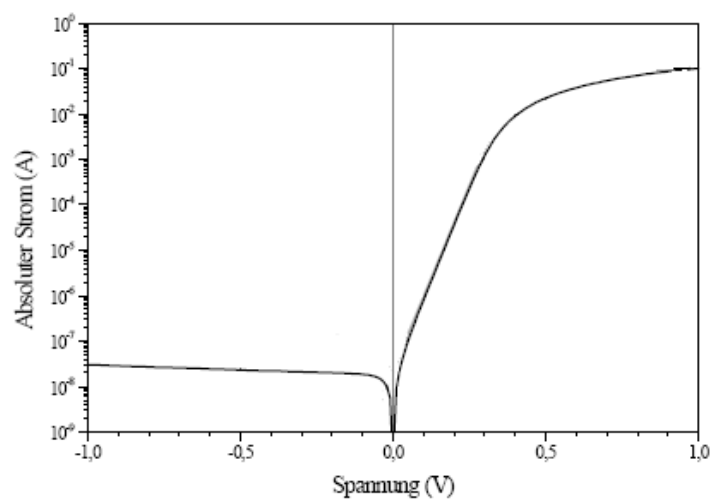


Abbildung 5.25: Typische, ideale Diodenkennlinie.

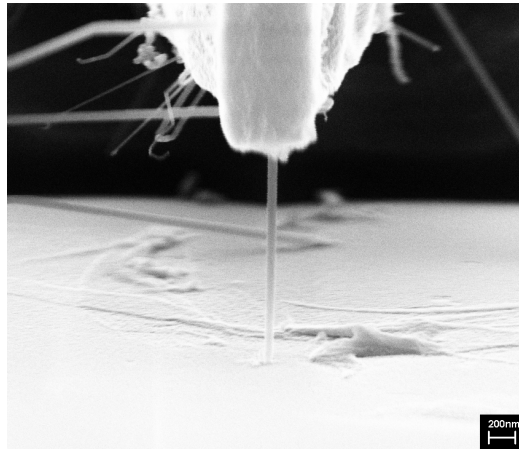


Abbildung 5.26: Bauelement, an dem die Messung durchgeführt wurde.

Die folgende Strom-Spannungs-Messung wurde an dem, in Abbildung 5.26 dargestellten, Nanowire-Bauelement durchgeführt. Die Kennlinie zeigt deutlich die erwartete Dioden-Charakteristik (Abbildung 5.27a). Bei positiven Spannungen ist der p-p⁺-Übergang in Durchlassrichtung gepolt, bei negativen Spannungen die Schottky-Diode. Besonders auffällig ist der, für Nanowire-Bauelemente, hohe Stromfluss. Dieser erreicht schon bei Spannungen von einigen Volt Werte über einem Mikroampere. Obwohl der Stromfluss stark von Form und Dicke des Nanowires, sowie von dessen Kontakten abhängig ist, zeigt sich das Potential dieses Bauelements für den Einsatz in elektronischen

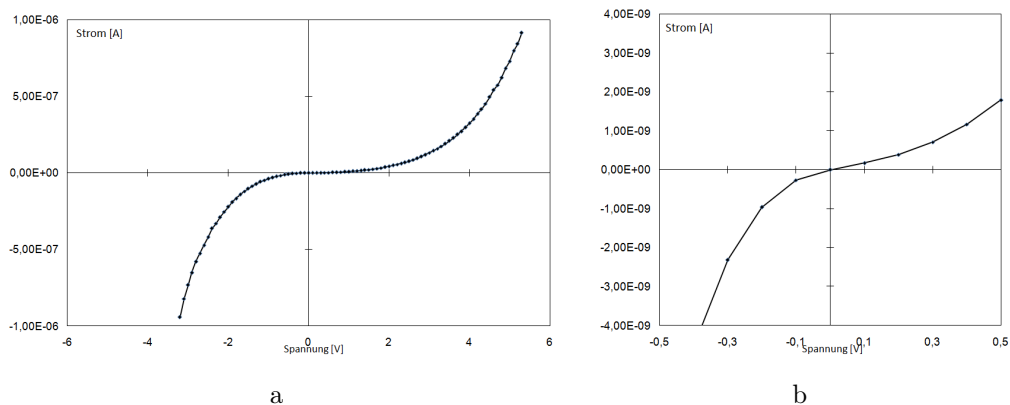


Abbildung 5.27: (a) Strom-Spannungs-Kennlinie des Nanowire-Bauelements. (b) Vergrößerung des Bereichs um den Ursprung.

Schaltungen. Jüngste Untersuchungen haben bestätigt, dass selbstkontaktierte Nanowires, im Vergleich zu herkömmlichen Nanowires mit Metallkontakten, einen, um eine Zehnerpotenz, geringeren Kontaktwiderstand aufweisen [65]. In Abbildung 5.27b ist die Kennlinie im Bereich des Ursprungs vergrößert dargestellt. Es zeigt sich hier kein ideales ohmsches Verhalten.

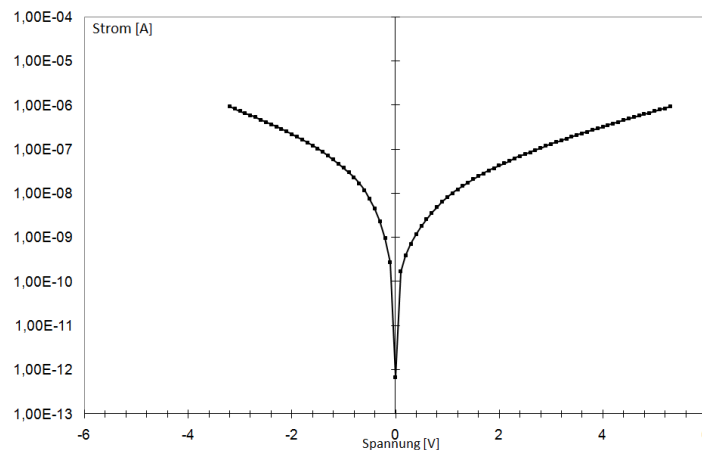


Abbildung 5.28: Strom-Spannungs-Kennlinie des Nanowire-Bauelements (halblogarithmische Darstellung).

In Abbildung 5.28 ist die Strom-Spannungs-Kennlinie in halblogarithmischer Form dargestellt. Ein Vergleich mit der idealen Kennlinie zeigt deutlich, dass es sich um eine Sperrkennlinie handelt, wie sie die Serienschaltung eines p-p⁺-Übergangs und einer Schottky-Diode erwarten lässt.

5.4.4 Einfluss der Aluminiumoxid-Beschichtung

In Hinblick auf eine Verwendung des Bauelements als Transistor wurden auch Versuche zur Beschichtung des Nanowires mit einem dielektrischen Film durchgeführt. Hierfür ist ein Material mit hoher Dielektrizitätszahl am besten geeignet. Zu Testzwecken wurde mit Hilfe von Atomic Layer Deposition (ALD) eine 50 nm dicke Aluminiumoxid (Al_2O_3)-Schicht abgeschieden (vgl. Kapitel 4.8). Das Ergebnis ist in Abbildung 5.29 dargestellt. Wie erwartet zeigt sich die, für den ALD-Prozess typische, homogene Ummantelung.

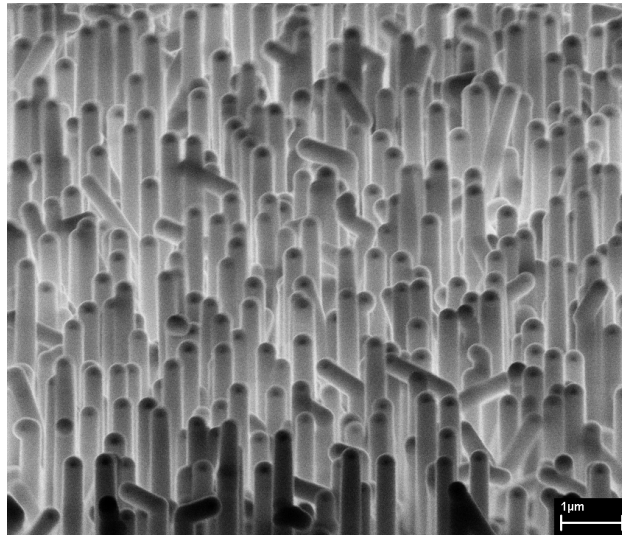


Abbildung 5.29: Al_2O_3 Beschichtung von Nanowires.

Die, an den fertigen Bauelementen, durchgeführten Strom-Spannungs Messungen zeigten, neben der in Kapitel 5.4.3 schon angesprochenen Abhängigkeit von Form und Dicke des Nanowires, eine auffallende Hysterese. Es konnte ein Zusammenhang dieser Abweichung mit der Luftfeuchtigkeit, aber auch mit der Lichtintensität, gemessen werden. Nach der ALD-Beschichtung der fertigen Cantilever-Proben wurden am Bauelement nochmals Strom-Spannungs-Messungen vorgenommen. Es wurde festgestellt, dass die eben angesprochene Hysterese durch die Beschichtung mit Al_2O_3 zur Gänze unterdrückt werden kann. Somit erreicht man durch die, für die Realisierung eines Gate-Anschlusses ohnehin notwendige, dielektrische Schicht eine Verbesserung der Nanowire-Eigenschaften.

Kapitel 6

Zusammenfassung und Ausblick

Im Rahmen dieser Diplomarbeit wurde die Herstellung eines vertikalen Nanowire Bauelements gezeigt, dessen Architektur für den Einsatz als Transistor geeignet ist. Im Vordergrund standen die Entwicklung eines selbstjustierenden Verfahrens und die Ausnützung des Selbstkontaktierungsmechanismus der Nanowires.

In *Kapitel 1* wurde einleitend die stetig voranschreitende Miniaturisierung von integrierten Schaltungen dargestellt. Die sich daraus ergebende Problematik der klassischen Top-Down Strukturierung wurde aufgezeigt und neue Lösungsansätze präsentiert. Im Speziellen wurde das Potential von Nanowires als vielversprechende Vertreter sog. Bottom-Up Konzepte aufgezeigt, sowie deren möglicher Einsatz in zukünftigen elektronischen Bauelementen diskutiert.

Kapitel 2 beschäftigte sich mit den, zur Herstellung des vertikalen Nanowire-Bauelements relevanten, theoretischen Grundlagen. Es wurde der allgemeine VLS-Wachstumsmechanismus der Nanowires besprochen und das epitaktische Wachstum auf unterschiedlich orientierten Silizium-Substraten dargestellt. Der zweite Teil betrachtete die Integration von Nanowires in Bauelemente, insbesondere Positionierung, Kontaktierung und elektrische Eigenschaften. Zum Schluss wurden noch zwei aktuelle Konzepte von Nanowire-Transistoren aufgezeigt.

In *Kapitel 3* wurde das Kernkonzept des, während dieser Arbeit hergestellten, vertikalen Nanowire-Bauelements präsentiert.

Das *Kapitel 4* beinhaltet detaillierte Ausführungen zu verwendeten Prozesstechnologien. Neben Erläuterungen zu Ausgangsmaterial, Probenpräparation und Reinigung, wurde das notwendige Masken- und Probendesign dargestellt. Ein ausführlicher Abschnitt widmete sich der Aufbringung des, für das Nanowire-Wachstum notwendigen, Katalysators. Im Besonderen wurde ein neues Lift-Off-Verfahren mit HF unter Verwendung einer strukturierten SiO_x -Schicht vorgestellt und die Positionierung von Au-Kolloiden mittels Dielektrophorese erklärt. Der weitere Teil beschäftigte sich mit der, zur Nanowire-Synthese verwendeten, Chemical-Vapor-Deposition Anlage. Abschließend folgte ein kurzer Abschnitt über die Atomic-Layer-Deposition von Al_2O_3 .

Im letzten *Kapitel 5* wurde der gesamte Herstellungsprozess des vertikalen Nanowire-Bauelements dargestellt. Dabei wurden zwei unterschiedliche Verfahren zur Abscheidung des Metall-Katalysators behandelt. Es folgten Untersuchungen der Keimbildungsphase, eine Beschreibung des verwendeten Nanowire-Wachstumsprozesses und die Präsentation der fertigen Bauelemente. Zuletzt wurden noch die Ergebnisse der elektrischen Charakterisierung behandelt. Diese zeigten die, im Vergleich zu herkömmlichen Metall-Nanowire-Kontakten, um eine Zehnerpotenz verbesserten Kontakteigenschaften.

Halbleiter-Nanowires haben in den letzten Jahren einen stetigen Zuwachs an Interesse seitens der Forschungseinrichtungen, aber auch seitens der Industrie verzeichnet. Durch ihre hervorragenden Eigenschaften sind sie bestens als Bausteine zukünftiger Nanotechnologien geeignet. Es wurden bereits viele verschiedene Anwendungsbereiche aufgezeigt, trotzdem befindet man sich erst am Rande eines breiten Spektrums an Nanowire-Einsatzmöglichkeiten. Auch die Grundlagenforschung profitiert immer wieder von neu entdeckten, faszinierenden Effekten der Nanowires.

Ein wichtiger Schritt für den Einsatz von Nanowires in Bauelementen ist neben einer kontrollierten Synthese auch die Bereitstellung neuer Integrations-Technologien. Zugpferd der heutigen Halbleiterindustrie ist noch immer der Feldeffekt-Transistor, ein Grundelement moderner elektronischer Schaltkreise. Mit dieser Arbeit konnte ein einfaches, mit herkömmlicher Technologie verträgliches Verfahren aufgezeigt werden, das den Einsatz von Nanowires als vertikale Feldeffekt-Transistoren ermöglicht. Dies ist ein wichtiger Schritt in Richtung eines zukünftigen, kommerziellen Einsatzes in integrierten Schaltungen.

Literaturverzeichnis

- [1] G. E. Moore. Cramming more components onto integrated circuits. *Electronics*, 38(8), 1965.
- [2] R.S. Wagner, W.C. Ellis. Vapor-Liquid-Solid Mechanism of Single Crystal Growth. *Appl. Phys. Lett.*, 4(5):89, 1964.
- [3] G. Gu, M. Burghard, G. T. Kim, G. S. Düsberg, P. W. Chiu, V. Krstic. Growth and electrical transport of germanium nanowires. *J. Appl. Phys.*, 90(11):5747, 2001.
- [4] X. Duan, Y. Huang, Y. Cui, J. Wang, C. M. Lieber. Indium phosphide nanowires as building blocks for nanoscale electronic and optoelectronic devices. *Nature*, 409:66–69, 2000.
- [5] H. D. Park, S. M. Prokes, R. C. Cammarata. Growth of epitaxial InAs nanowires in a simple closed system. *Appl. Phys. Lett.*, 87:063110, 2005.
- [6] X. Duan, J. Wang, C. M. Lieber. Synthesis and optical properties of gallium arsenide nanowires. *Appl. Phys. Lett.*, 76(9):1116, 2000.
- [7] C. J. Barrelet, Y. Wu, D. C. Bell, C. M. Lieber. Synthesis of CdS and ZnS Nanowires Using Single-Source Molecular Precursors. *J. Amer. Chem. Soc.*, 125(38):11498–11499, 2003.
- [8] Y. Li, F. Qian, J. Xiang, C. M. Lieber. Nanowire electronic and optoelectronic devices. *Materials Today*, 9(10), 2006.
- [9] F. Patolsky, B. P. Timko, G. Zheng, C. M. Lieber. Nanowire-Based Nanoelectronic Devices in the Life Sciences. *MRS Bull.*, 32:142–149, 2007.

- [10] Y. Cui, Q. Wei, H. Park, C. M. Lieber. Nanowire Nanosensors for Highly Sensitive and Selective Detection of Biological and Chemical Species. *Science*, 293:1289, 2001.
- [11] Z. Fan, P. Chang, J. G. Lu, E. C. Walter, R. M. Penner, C. Lin, H. P. Lee. Photoluminescence and polarized photodetection of single ZnO nanowires. *Appl. Phys. Lett.*, 85(25):6128–6130, 2004.
- [12] F. Qian, S. Gradečak, Y. Li, C. Wen, C. M. Lieber. Core/Multishell Nanowire Heterostructures as Multicolor, High-Efficiency Light-Emitting Diodes. *Nano Letters*, 5(11):2287–2291, 2005.
- [13] X. Duan, Y. Huang, R. Agarwal, C. M. Lieber. Single-nanowire electrically driven lasers. *Nature*, 421:241–245, 2002.
- [14] Y. Cui, Z. Zhong, D. Wang, W. U. Wang, C. M. Lieber. High Performance Silicon Nanowire Field Effect Transistors. *Nano Letters*, 3(2):149–152, 2003.
- [15] T. B. Massalski, H. Okamoto. Binary Alloy Phase Diagrams. *ASM International*, 1, 1990.
- [16] Y. Civale, L.K. Nanver, P. Hadley, E.J.G. Goudena. Aspects of Silicon Nanowire Synthesis by Aluminium-Catalyzed Vapor-Liquid-Solid Mechanism. *Proceedings of 7th Annual Workshop of Semiconductor Advances for Future Electronics and Sensors, Veldhoven*, pages 692–696, 2004.
- [17] Y. Y. Wu, P. D. Yang. Direct Observation of Vapor-Liquid-Solid Nanowire Growth. *J. Am. Chem. Soc.*, 123(13):3165, 2001.
- [18] J. Westwater, D. P. Gosain, S. Tomiya, S. Usui, H. Ruda. Growth of silicon nanowires via gold/silane vapor-liquid-solid reaction. *J. Vac. Sci. Technol. B*, 15(3):554–557, 1997.
- [19] S. Hofmann, C. Ducati, R. J. Neill, S. Piscanec, A. C. Ferrari, J. Geng, R. E. Dunin-Borkowski, J. Robertson. Gold catalyzed growth of silicon nanowires by plasma enhanced chemical vapor deposition. *J. Appl. Phys.*, 94(9):6005, 2003.

- [20] L. Schubert, P. Werner, N. D. Zakharov, G. Gerth, F. M. Kolb, L. Long, U. Gösele, T. Y. Tan. Silicon nanowhiskers grown on $\langle 111 \rangle$ Si substrates by molecular-beam epitaxy. *Appl. Phys. Lett.*, 84(24):5228–5230, 2004.
- [21] A.M. Morales and C.M. Lieber. A laser ablation method for the synthesis of crystalline semiconductor nanowires. *Science*, 279:208–211, 1998.
- [22] A. Colli, A. Fasoli, P. Beecher, P. Servati, S. Pisana, Y. Fu, A. J. Flewitt, W. I. Milne, J. Robertson, C. Ducati, S. De Franceschi, S. Hofmann, A. C. Ferrari. Thermal and chemical vapor deposition of Si nanowires: Shape control, dispersion, and electrical properties. *J. Appl. Phys.*, 102(034302), 2007.
- [23] R. S. Wagner. Defects in Silicon Crystals Grown by the VLS Technique. *J. Appl. Phys.*, 38(4):1554–1560, 1967.
- [24] Y. Cui, L. J. Lauhon, M. S. Gudiksen, J. Wang, C. M. Lieber. Diameter-controlled synthesis of single-crystal silicon nanowires. *Appl. Phys. Lett.*, 78(15):2214–2216, 2001.
- [25] Y. Wu, Y. Cui, L. Huynh, C. J. Barrelet, D. C. Bell, C. M. Lieber. Controlled Growth and Structures of Molecular-Scale Silicon Nanowires. *Nano Letters*, 4(3):433–436, 2004.
- [26] R. S. Wagner, C. J. Ooherty. Mechanism of Branching and Kinking during VLS Crystal Growth. *J. Electrochem. Soc.*, 115(1):93–99, 1968.
- [27] Y. Wu, H. Yan, M. Huang, B. Messer, J. H. Song, P. Yang. Inorganic Semiconductor Nanowires: Rational Growth, Assembly, and Novel Properties. *Chem. Eur. J.*, 8(6):1260, 2002.
- [28] S. Ge, K. Jiang, X. Lu, Y. Chen, R. Wang, S. Fan. Orientation-Controlled Growth of Single-Crystal Silicon-Nanowire Arrays. *Adv. Mater.*, 17(1):56–61, 2005.
- [29] V. Schmidt, S. Senz, U. Gösele. Diameter-Dependent Growth Direction of Epitaxial Silicon Nanowires. *Nano Letters*, 5(5):931–935, 2005.

- [30] S. Chung, J. Yu, J. R. Heath. Silicon nanowire devices. *Appl. Phys. Lett.*, 76(15):2068–2070, 2000.
- [31] Y. Huang, X. Duan, Q. Wei, C. M. Lieber. One-Dimensional Nanostructures into Functional Networks. *Science*, 291:630–633, 2001.
- [32] R. Agarwal, K. Ladavac, Y. Roichman, G. Yu, C. Lieber, D. Grier. Manipulation and assembly of nanowires with holographic optical traps. *Optics Express*, 13(22):8906–8912, 2005.
- [33] P. J. Pauzauskie, A. Radenovic, E. Trepagnier, H. Shroff, P. Yang P, J. Liphardt. Optical trapping and integration of semiconductor nanowire assemblies in water. *Nat. Mater*, 5:97–101, 2006.
- [34] P. A. Smith, C. D. Nordquist, T. N. Jackson, T. S. Mayer, B. R. Martin, J. Mbindyo, T. E. Mallouk. Electric-field assisted assembly and alignment of metallic nanowires. *Appl. Phys. Lett.*, 77(9):1399–1401, 2000.
- [35] S. Evoy, N. DiLello, V. Deshpande, A. Narayanan, H. Liu, M. Riegelman, B.R. Martin, B. Hailer, J. C. Bradley, W. Weiss, T.S. Mayer, Y. Gogotsi, H.H. Bau, T.E. Mallouk, S. Raman. Dielectrophoretic assembly and integration of nanowire devices with functional CMOS operating circuitry. *Micro. Eng.*, 75:31–42, 2004.
- [36] J. J. Boote, S. D. Evans. Dielectrophoretic manipulation and electrical characterization of gold nanowires. *Nanotechnology*, 16:1500–1505, 2005.
- [37] A. D. Wissner-Gross. Dielectrophoretic reconfiguration of nanowire interconnects. *Nanotechnology*, 17:4986–4990, 2006.
- [38] M. Saif Islam, S. Sharma, T. I. Kamins, R. Stanley Williams. Ultrahigh-density silicon nanobridges formed between two vertical silicon surfaces. *Nanotechnology*, 15(5):L5–L8, 2004.
- [39] T. I. Kamins, S. Sharma, M. Saif Islam, R. Stanley Williams. Metal-Catalyzed Silicon Nanowires: Control and Connection. *Proceedings of 2005 5th IEEE Conference on Nanotechnology, Nagoya, Japan*, 2005.

- [40] M. Saif Islam, S. Sharma, T. I. Kamins, R. Stanley Williams. A novel interconnection technique for manufacturing nanowire devices. *Appl. Phys. A*, (80):1133–1140, 2005.
- [41] R. He, D. Gao, A. I. Hochbaum, C. Carraro, R. Maboudian, P. Yang. Si Nanowire Bridges in Microtrenches: Integration of Growth into Device Fabrication. *Adv. Mater.*, 17:2098–2102, 2005.
- [42] S. Sharma, T. I. Kamins, M. S. Islam, R. Stanley Williams, A. F. Marshall. Structural characteristics and connection mechanism of gold-catalyzed bridging silicon nanowires. *J. Crystal Growth*, 280:562–568, 2005.
- [43] M. Tabib-Azar, M. Nassirou, R. Wang, S. Sharma, T. I. Kamins, M. Saif Islam, R. Stanley Williams. Mechanical properties of self-welded silicon nanobridges. *Appl. Phys. Lett.*, 87:113102, 2005.
- [44] Y. Cui, X. Duan, J. Hu, C. M. Lieber. Doping and Electrical Transport in Silicon Nanowires. *J. Phys. Chem. B*, 104(22):5213, 2000.
- [45] X. Duan, Y. Huang, Y. Cui, J. Wang, C. M. Lieber. Indium phosphide nanowires as building blocks for nanoscale electronic and optoelectronic devices. *Nature*, 409:66, 2001.
- [46] Y. Huang, X. Duan, Y. Cui, C. M. Lieber. Gallium Nitride Nanowire Nanodevices. *Nano Letters*, 2(2):101–104, 2002.
- [47] A. B. Greytak, L. J. Lauhon, M. S. Gudiksen, C. M. Lieber. Growth and transport properties of complementary germanium. *Appl. Phys. Lett.*, 84(21):4176, 2004.
- [48] Y. Huang, C. M. Lieber. Integrated nanoscale electronics and optoelectronics: Exploring nanoscale and technology through semiconductor nanowire. *Pure Appl. Chem.*, 76(12):2051–2068, 2004.
- [49] C. Thelander, P. Agarwal, S. Brongersma, J. Eymery, L. F. Feiner, A. Forchel, M. Scheffler, W. Riess, B. J. Ohlsson, U. Gösele, L. Samuelson. Nanowire-based one-dimensional electronics. *Materials Today*, 9(10):28–35, 2006.

- [50] D. Wang, Q. Wang, A. Javey, R. Tu, H. Dai, H. Kim, P. C. McIntyre, T. Krishnamohan, K. C. Saraswat. Germanium nanowire field-effect transistors with SiO₂ and high-k HfO₂ gate dielectrics. *Appl. Phys. Lett.*, 83(12):2432, 2003.
- [51] H. Cha, H. Wu, S. Chae, M. G. Spencer. Gallium nitride nanowire nonvolatile memory device. *J. Appl. Phys.*, 100(024307), 2006.
- [52] H. T. Ng, J. Han, T. Yamada, P. Nguyen, Y. P. Chen, M. Meyyappan. Single Crystal Nanowire Vertical Surround-Gate Field-Effect Transistor. *Nano Letters*, 4(7):1247–1252, 2004.
- [53] J. Goldberger, A. I. Hochbaum, R. Fan, P. Yang. Silicon Vertically Integrated Nanowire Field Effect Transistors. *Nano Letters*, 6(5):973–977, 2006.
- [54] M. T. Björk, O. Hayden, H. Schmid, H. Riel, W. Riess. Vertical surround-gated silicon nanowire impact ionization field-effect transistors. *Appl. Phys. Lett.*, 90(142110), 2007.
- [55] S. Sharma, T. I. Kamins, R. Stanley Williams. Synthesis of thin silicon nanowires using gold-catalyzed chemical vapor deposition. *Appl. Phys. A*, 80:1225–1229, 2005.
- [56] A. I. Hochbaum, R. Fan, R. He, P. Yang. Controlled Growth of Si Nanowire Arrays for Device Integration. *Nano Letters*, 5(3):457–460, 2005.
- [57] D. L. Fan, F. Q. Zhu, R. C. Cammarata, C. L. Chien. Manipulation of nanowires in suspension by ac electric fields. 85(18):4175–4177, 2004.
- [58] L. Bernard, M. Calame, S. J. van der Molen, J. Liao, C. Schönenberger. Controlled formation of metallic nanowires via Au nanoparticle ac trapping. *Nanotechnology*, 18(235202), 2007.
- [59] M. P. Hughes. AC electrokinetics: applications for nanotechnology. *Nanotechnology*, 11:124–132, 2000.

- [60] S. M. George, A. W. Ott, J. W. Klaus. Surface Chemistry for Atomic Layer Growth. *J. Phys. Chem.*, 100:13121–13131, 1996.
- [61] K. R. Williams, K. Gupta, M. Wasilik. Etch Rates for Micromachining Processing-Part II. *Journal of Microelectromechanical Systems*, 12(6), 2003.
- [62] A. Hiraki, M. A. Nicolet, J. W. Mayer. Low-temperature migration of silicon in thin layers of gold and platinum. *Appl. Phys. Lett.*, 18(5), 1971.
- [63] H. Jagannathan, Y. Nishi, M. Reuter, M. Copel, E. Tutuc, S. Guha, R. P. Pezzi. Effect of oxide overlayer formation on the growth of gold catalyzed epitaxial silicon nanowires. *Appl. Phys. Lett.*, 88(103113), 2006.
- [64] W. Schottky. Zur Halbleitertheorie der Sperrschicht- und Spitzengleichrichter. *Z. Phys.*, 113(5-6):367–414, 1939.
- [65] A. Chaudhry, V. Ramamurthi, E. Fong, M. Saif Islam. Ultra-Low Contact Resistance of Epitaxially Interfaced Bridged Silicon Nanowires. *Nano Letters*, 7(6):1536–1541, 2007.